

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-347163

(43)Date of publication of application : 15.12.2000

(51)Int.Cl. G02F 1/133  
G09G 3/20  
G09G 3/36

(21)Application number : 2000-137889

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 10.05.1993

(72)Inventor : ITO AKIHIKO  
IINO SEIICHI

## (30)Priority

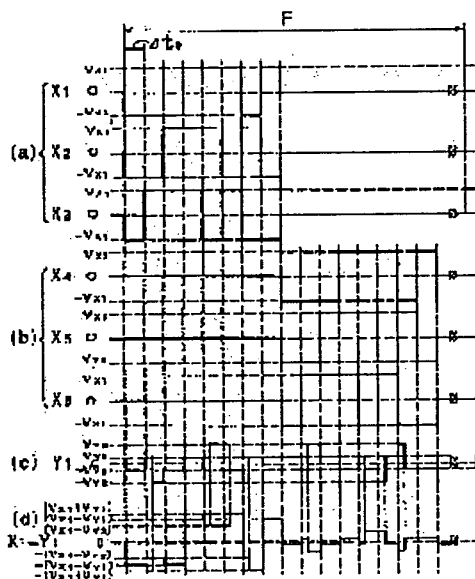
Priority number : 04143482 Priority date : 08.05.1992 Priority country : JP  
04123623 15.05.1992  
04199077 02.07.1992 JP  
JP

## (54) DRIVING METHOD, DRIVING CIRCUIT FOR LIQUID CRYSTAL DEVICE AND DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a display device capable of performing gradation display satisfactorily without generating contrast reduction, display flicker, cross talk or the like in the driving method of a liquid crystal element or the like and a display device, especially in the display device performing the gradation display.

**SOLUTION:** In this driving method, a liquid crystal element or the like which is to be constituted by interposing a liquid crystal layer between a substrate having scanning electrodes X1, X2... and a substrate having signal electrodes Y1, Y2... is multiplexingly driven. In this case, plural lines of scanning electrodes are simultaneously selected successively and also the selection period is, for example, divided into three periods and a display device performs gradation display by deciding voltage levels of two divisions among divided selections according to upper bits of display data and by deciding the voltage level as to the remaining division according to lower bits of the display data.



## LEGAL STATUS

[Date of request for examination] 09.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3391334

[Date of registration] 24.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of]

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-347163

(P2000-347163A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133	5 7 5
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 B
			6 2 1 C
	6 4 1		6 4 1 C
			6 4 1 A

審査請求 有 請求項の数24 O L (全 34 頁) 最終頁に続く

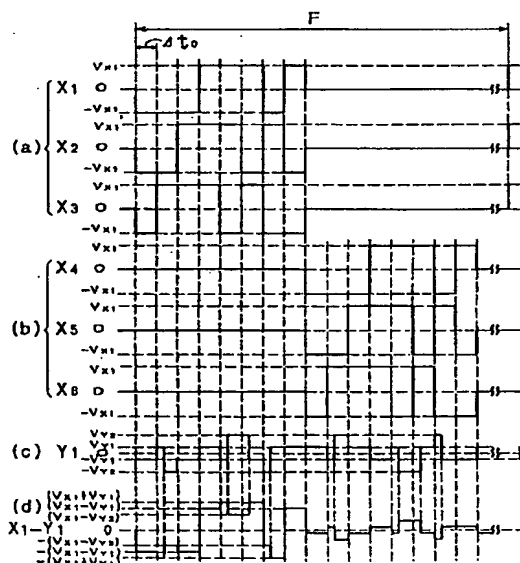
(21) 出願番号	特願2000-137889(P2000-137889)	(71) 出願人	000002369
(62) 分割の表示	特願平5-520048の分割		セイコーエプソン株式会社
(22) 出願日	平成5年5月10日 (1993. 5. 10)		東京都新宿区西新宿2丁目4番1号
(31) 優先権主張番号	特願平4-143482	(72) 発明者	伊藤 昭彦
(32) 優先日	平成4年5月8日 (1992. 5. 8)		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(33) 優先権主張国	日本 (J P)	(72) 発明者	飯野 聖一
(31) 優先権主張番号	特願平4-123623		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(32) 優先日	平成4年5月15日 (1992. 5. 15)	(74) 代理人	100093388
(33) 優先権主張国	日本 (J P)		弁理士 鈴木 喜三郎 (外2名)
(31) 優先権主張番号	特願平4-199077		
(32) 優先日	平成4年7月2日 (1992. 7. 2)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 液晶装置の駆動方法、駆動回路及び表示装置

## (57) 【要約】

【課題】本発明は液晶素子等の駆動方法および表示装置、特に階調表示を行うものにおいて、コントラストの低下や表示のチラツキもしくはクロストーク等を生じることなく良好に階調表示を行うことのできる表示装置を提供することを目的とする。

【解決手段】上記の目的を達成するために、走査電極  $X_1, X_2, \dots$  を有する基板と信号電極  $Y_1, Y_2, \dots$  を有する基板との間に液晶層を介在させてなる液晶素子等をマルチプレックス駆動するものにおいて、順次複数本の走査電極を同時に選択し、かつその選択期間をたとえば3つの期間に分割し、表示データの上位ビットに応じて、分割した選択のうち2分割の電圧レベルを決め、下位ビットに応じて、残りの1分割分について電圧レベル決め、階調表示を行うことを特徴とする。



【特許請求の範囲】

【請求項 1】 走査電極を有する基板と信号電極を有する基板との間に液晶層を介在させてなる液晶素子等を、順次同時に複数本の走査電極を選択してマルチプレクス駆動する液晶素子の駆動方法において、上記の選択期間を複数の期間に区分し、その区分した選択期間に、所望の表示データに応じた重み付けをした電圧を電極に印加して階調表示を行うことを特徴とする液晶素子等の駆動方法。

【請求項 2】 所望の表示データに応じて重み付けをした信号電圧を信号電極に印加して階調表示を行うようにした請求項 1 記載の液晶素子等の駆動方法。

【請求項 3】 前記の表示データを複数ビットで表し、その各ビット毎にパルス幅を変調した信号電圧を信号電極に印加して階調表示を行う請求項 2 記載の液晶素子等の駆動方法。

【請求項 4】 前記の表示データを複数ビットで表し、そのビット数に応じて前記の各区分した選択期間を更に細分化し、その各細分化した期間に各ビット毎の表示データに応じた信号電圧を信号電極に印加して階調表示を行うことを特徴とする請求項 2 記載の液晶素子等の駆動方法。

【請求項 5】 前記の表示データを複数ビットで表し、前記の各区分した選択期間を表示データのビット数よりも多く細分化し、その細分化した選択期間の複数個をいずれかのビットに対応した表示データに割り当てることによって印加電圧レベル数を減少させるようにした請求項 2 記載の液晶素子等の駆動方法。

【請求項 6】 前記の区分した選択期間を更に細分化し、その細分化した選択期間に信号電極に印加する電圧の電圧値と印加時間を適宜組み合わせることで複数階調の表示を行うことを特徴とする請求項 2 記載の液晶素子等の駆動方法。

【請求項 7】 信号電極に印加する電圧を複数フレーム間で変調して階調表示を行うようにした請求項 1～6 のいずれかに記載の液晶素子等の駆動方法。

【請求項 8】 所望の表示データに応じて重み付けをした走査電圧を走査電極に印加して階調表示を行うようにした請求項 1 記載の液晶素子等の駆動方法。

【請求項 9】 前記の表示データを複数ビットで表し、そのビット数に応じて前記の各区分した選択期間を更に細分化し、その各細分化した期間に各ビット毎の表示データに応じた信号電圧を信号電極に印加して階調表示を行うことを特徴とする請求項 8 記載の液晶素子等の駆動方法。

【請求項 10】 前記の表示データを複数ビットで表し、前記の各区分した選択期間を表示データのビット数よりも多く細分化し、その細分化した選択期間の複数個をいずれかのビットに対応した表示データに割り当てることによって印加電圧レベル数を減少させるようにした請求

項 8 記載の液晶素子等の駆動方法。

【請求項 11】 前記の区分した選択期間を更に細分化し、その細分化した選択期間に走査電極に印加する電圧の電圧値と印加時間を適宜組み合わせることで複数階調の表示を行うことを特徴とする請求項 8 記載の液晶素子等の駆動方法。

【請求項 12】 走査電極に印加する電圧を複数フレーム間で変調して階調表示を行うようにした請求項 8～11 のいずれかに記載の液晶素子等の駆動方法。

【請求項 13】 仮想電極を設けることによって信号電極に印加する信号電圧の電圧レベル数を減少させるようにした請求項 1～12 のいずれかに記載の液晶素子等の駆動方法。

【請求項 14】 各走査電極および信号電極に印加される電圧波形の配列順序を各フレーム内で入れ替えるようにした請求項 1～13 のいずれかに記載の液晶素子等の駆動方法。

【請求項 15】 各走査電極および信号電極に印加される電圧波形の配列順序をフレーム毎に入れ替えるようにした請求項 1～13 のいずれかに記載の液晶素子等の駆動方法。

【請求項 16】 信号電極に印加される信号電圧波形の配列順序を信号電極毎に入れ替えるようにした請求項 1～15 のいずれかに記載の液晶素子等の駆動方法。

【請求項 17】 前記の選択期間を 1 フレーム内に連続的に設けて駆動するようにした請求項 1～16 のいずれかに記載の液晶素子等の駆動方法。

【請求項 18】 前記の選択期間を複数の期間に区分し、その区分した選択期間毎に全ての走査電極が選択されるまでを 1 つのフィールドとし、これを上記の区分した全ての選択期間が終了するまでを 1 フレーム内で実行することを特徴とする請求項 1～16 のいずれかに記載の液晶素子等の駆動方法。

【請求項 19】 前記の区分した選択期間を、複数ビットで表した表示データのビット毎に更に細分化し、その各細分化した選択期間毎に全ての走査電極が選択されるまでを 1 つのフィールドとし、これを上記の区分し且つ細分化した全ての選択期間が終了するまでを 1 フレーム内で実行することを特徴とする請求項 1～16 のいずれかに記載の液晶素子等の駆動方法。

【請求項 20】 前記の区分した選択期間を、複数ビットで表した表示データのビット数よりも多く細分化し、その各細分化した選択期間毎に全ての走査電極が選択されるまでを 1 つのフィールドとし、これを上記の区分し且つ細分化した全ての選択期間が終了するまでを 1 フレーム内で実行することを特徴とする請求項 1～16 のいずれかに記載の液晶素子等の駆動方法。

【請求項 21】 走査電極に印加する電圧の極性を 1 フレーム毎に反転させて駆動する請求項 1～20 のいずれかに記載の液晶素子等の駆動方法。

【請求項22】走査電極に印加する電圧の極性を1フレーム内で反転させて駆動する請求項1～20のいずれかに記載の液晶素子等の駆動方法。

【請求項23】走査電極を有する基板と信号電極を有する基板との間に液晶層を介在させてなる液晶素子等を、順次同時に複数本の走査電極を選択してマルチプレックス駆動する液晶素子等の駆動回路において、走査データ発生回路から発生した選択パルスデータと、同時に選択される複数本の走査電極上の表示データとを演算回路で演算すると共に、その演算結果に基づくデータを信号電極ドライバに転送し、それと同時に走査データを走査電極に転送して、上記の表示データに応じた所望の階調表示を行わせるように構成したことを特徴とする液晶素子等の駆動回路。

【請求項24】走査電極を有する基板と信号電極を有する基板との間に液晶層を介在させてなる液晶素子等を、順次同時に複数本の走査電極を選択してマルチプレックス駆動する液晶素子等の表示装置において、走査データ発生回路から発生した選択パルスデータと、同時に選択される複数本の走査電極上の表示データとを演算回路で演算すると共に、その演算結果に基づくデータを信号電極ドライバに転送し、それと同時に走査データを走査電極に転送する駆動回路を備え上記の選択期間を複数個に区分し、その各区分した選択期間に、上記の駆動回路により所望の表示データに応じて重み付けをした電圧を電極に印加して階調表示を行わせるようにしたことを特徴とする液晶素子等の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は例えば液晶表示パネル等の液晶素子の駆動方法及び駆動回路および表示装置に関する。

【背景技術】従来、上記のような液晶素子の駆動方法の1つとして、電圧平均化法によるマルチプレックス駆動が知られている。

（従来例1）図45は図46に示すような単純マトリクス型の液晶素子等を電圧平均化法によりマルチプレックス駆動する場合の従来の駆動方法の一例を示す印加電圧波形図であり、図45の（a）・（b）はそれぞれ走査電極 $X_1$ ・ $X_2$ に印加する電圧波形、同図（c）は信号電極 $Y_1$ に印加する電圧波形、同図（d）は走査電極 $X_1$ と信号電極 $Y_1$ とが交差する画素に印加される電圧波形を示す。

【0002】本例は走査電極 $X_1$ ・ $X_2$ ・ $\dots$ ・ $X_n$ を1ライ

ンズつ順次選択して走査電圧を印加すると共に、その選択された走査電極上の各画素がオンかオフかによって、それに応じた信号電圧を各信号電極 $Y_1$ ・ $Y_2$ ・ $\dots$ ・ $Y_n$ に印加することによって駆動するものである。

05 【0003】ところが、上記のように走査電極を1ラインずつ選択して駆動するものは、駆動電圧を比較的高くしないと良好な表示が得られない等の不具合がある。

（従来例2）そこで上記の駆動電圧を低くするために、順次複数本の走査電極を同時に選択して駆動する方法が提案されている（例えば、A<sub>1</sub>GENERALIZED ADDRESSING TECHNIQUE FORMS RESPONDING MATRIX LCDS, 1988 INTERNAL DISPLAY RESEARCH CONFERENCE P80～85参照）。

【0004】図47は上記のように順次複数本の走査電極を同時に選択して駆動する従来の駆動方法の一例を示す印加電圧波形図であり、同図（a）は走査電極 $X_1$ ・ $X_2$ ・ $X_3$ に印加する走査電圧波形、同図（b）は走査電極 $X_4$ ・ $X_5$ ・ $X_6$ に印加する走査電圧波形、同図（c）は信号電極 $Y_1$ に印加する信号電圧波形、同図（d）は走査電極 $X_1$ と信号電極 $Y_1$ とが交差する画素に印加される電圧波形を示す。本例は走査電極を順次3ラインずつ同時に選択して前記図46に示すような表示を行うようにしたものである。即ち、最初に3つの走査電極 $X_1$ ・ $X_2$ ・ $X_3$ を選択して、それ等の走査電極 $X_1$ ・ $X_2$ ・ $X_3$ に図47の（a）に示すような走査電圧を印加し、同時に各信号電極 $Y_1$ ～ $Y_n$ に後述する所定の信号電圧を印加する。次いで図46において走査電極 $X_4$ ・ $X_5$ ・ $X_6$ を選択して、それ等の電極に上記と同様に図47の（b）のような走査電圧を印加すると同時に各信号電極 $Y_1$ ～ $Y_n$ に信号電圧を印加する。そして図46における全ての走査電極 $X_1$ ～ $X_n$ が選択されるまでを1フレームとし、これを順次繰り返すものである。

【0005】上記の各走査電圧波形は、同時に選択される走査電極の数を、 $h$ としたとき、 $2^h$ のパルスパターン数の波形が用いられ、本例においては、 $h=3$ で、 $2^3=2^3=8$ のパルスパターン数の波形が用いられている。

【0006】例えば同時に選択される3つの走査電極 $X_1$ ・ $X_2$ ・ $X_3$ に印加する電圧のオン・オフパターンは、オンを1、オフを0として下記表のように現すことができる。

【0007】

【表1】

$X_1$	0	0	0	0	1	1	1	1
$X_2$	0	0	1	1	0	0	1	1
$X_3$	0	1	0	1	0	1	0	1

これを基に各走査電極に印可する電圧波形を形成すると、図 48 の (a) のようになる。ところが、同図

(a) の波形は周波数にバラツキがあり、実際に用いた場合には表示むらが生ずるおそれがある。

【0008】そこで、配列を適宜入れ替えて周波数成分の片寄りをなくすようにしたのが、同図 (b) の波形であり、上記図 47 の従来例では、この波形を用いたものである。一方、各信号電極  $Y_1 \sim Y_8$  に印加する信号電圧は、走査電圧と同じパルスパターン数で、かつ各パルスの電圧レベルは、選択された走査電極上のオン・オフに応じた大きさの電圧を印加するようにしたもので、例えば本例においては同時に選択される走査電極  $X_1 \cdot X_2 \cdot X_3$  に印可される走査電圧波形が正のパルスのときをオン、負のパルスのときをオフとし、表示データのオン・オフをパルス毎に対比し、不一致の数に応じて信号電圧波形を設定するようにしたものである。即ち、図 47 においては不一致の数が 0 のときは  $-V_{Y1}$ 、1 のときは  $-V_{Y1}$ 、2 のときは  $V_{Y1}$ 、3 のときは  $V_{Y2}$  パルス電圧を印加するようにしたものである。なお上記の  $V_{Y1}$  と  $V_{Y2}$  電圧比は、 $V_{Y1} : V_{Y2} = 1 : 3$ 、となるように設定されている。具体的には、図 47 における走査電極  $X_1 \cdot X_2 \cdot X_3$  への印加電圧波形において、 $V_{Y1}$  の電圧を印加するときをオン、 $-V_{Y1}$  の電圧を印加するときをオフとし、図 46 の画素の表示は黒丸印をオン、白丸印をオフとすると、図 46 における信号電極  $Y_1$  と走査電極  $X_1 \cdot X_2 \cdot X_3$  との交差する画素の表示は順にオン・オン・オフであり、これに対して各走査電極  $X_1 \cdot X_2 \cdot X_3$  に印加される電圧の最初のパルスパターンは、それぞれオフ・オフ・オフである。その両者を順に対比して不一致の数は 2 であるから、信号電極  $Y_1$  の最初のパルスパターンには、図 47 の (c) に示すように電圧  $V_{Y1}$  が印加されている。

【0009】また各走査電極  $X_1 \cdot X_2 \cdot X_3$  に印加される電圧の 2 番目のパルスパターンは、それぞれオフ・オフ・オンであり、前記の画素表示オン・オン・オフと順に対比すると、すべてが不一致であり不一致数は 3 であるから、信号電極  $Y_1$  の 2 番目のパルスには電圧  $V_{Y2}$  が印加されている。同様の要領で、3 番目のパルスには  $V_{Y1}$ 、4 番目のパルスには  $-V_{Y1}$  が印加され、以下、 $-V_{Y2}$ 、 $V_{Y1}$ 、 $-V_{Y1}$ 、 $-V_{Y1}$  の順で印加されている。

【0010】また次の 3 つの走査電極  $X_4 \sim X_6$  が選択されて、その各走査電極  $X_4 \sim X_6$  に図 47 の (b) に示す電圧が印加される際には、その各走査電極  $X_4 \sim X_6$  と信号電極との交差する画素のオン・オフ表示と、上記各走査電極  $X_4 \sim X_6$  への印加電圧の各パルスパターンのオン

・オフとの不一致に応じた電圧レベルの信号電圧が、図 47 の (c) のように印加される。

【0011】なお上記例では、走査電圧波形の正の選択パルスを 1、負の選択パルスを -1、各画素の表示がオンのときを 1、オフのときを -1 とし、その一致数と不一致数の差で信号電圧波形を設定したが、いずれを 1 または -1 としてもよく、また一致数と不一致数の差を算定することなく、一致数もしくは不一致数のみで信号電圧波形を設定することもできる。

【0012】上記のように、順次複数本の走査電極を同時に選択して駆動する手法は、前記の図 45 に示すような 1 ラインずつ選択して駆動する方法と同じオン/オフ比を実現した上で、駆動電圧を低く抑えることができる利点がある。

【0013】次に、上記のように順次複数本の走査電極を同時に選択して駆動する手法の一般的な要件や要領および手順等を、順を追って説明する。

【0014】A. 要件

- N 本の走査電極を  $N/h$  のサブグループに分割する。
- 各々サブグループは  $h$  本のアドレスラインを持つ。
- ある時刻において信号電極は、 $h$  ビットワード ( $h$ -bitword) から構成される。

$d_{k+h+1}, d_{k+h+2}, \dots, d_{k+h+h}; d_{k+h+j} = 0$  または 1

ここで、 $0 \leq k \leq (N/h) - 1$  ( $k$ : サブグループ) すなわち 1 列の表示データは、

$d_1, d_2, \dots, d_h \dots$  第 0 サブグループ

$d_{h+1}, d_{h+2}, \dots, d_{h+h} \dots$  第 1 サブグループ

$d_{N-h+1}, d_{N-h+2}, \dots, d_{N-h+h} \dots$  第  $N/h - 1$

サブグループとなる。

d) 走査電極の選択パターンは、次式に示す周期  $2^h$  のビットワードパターンである。

【0015】

$a_{k+h+1}, a_{k+h+2}, \dots, a_{k+h+h}; a_{k+h+j} = 0$  または 1

B. 要領

- 1 つのサブグループは同時に選択される。
- 走査電極の選択パターンとして、 $h$  ビットワードが 1 つ選ばれる。
- 走査電圧は、ロジック 0 に対し  $-V_r$ 、ロジック 1 に対し  $+V_r$ 、非選択時は 0 ボルト、とする。
- 選択されたサブグループの走査電極と信号電極は、ビット対ビットで比較される。
- 走査電極と信号電極のパターンの不一致の数  $i$  を決める。

【0016】

【数 1】

(6) 信号電極への印加電圧を  $V_i$  とする。  $i$  は本  $\oplus$  して、あらかじめ定められた電圧の 1 つを選ぶ (7) 以

致数 (不一致の数に

50 上のような手法に基づいて、それぞれ信号電圧を決める

(同時、並列的に)

(8) 以上のようにして求められた走査電圧および信号電圧は、時間間隔 $\Delta t_0$ の間だけ、ディスプレイに印加される。ただし、 $\Delta t_0$ は最小パルス順である。

(9) 新しい走査電極選択パターンが選択され、上記(4)～(6)を再び計算し、次の信号電圧を決める。これも時間間隔 $\Delta t_0$ だけ印加される。

(10) 1サイクル(周期)は $2^h$ 個すべての走査電極選択パターンが各サブグループにすべて表れ、 $N/h$ のサブグループが選択されて終了する。

【0017】1サイクル $=\Delta t \cdot 2^h \cdot (N/h)$

C. 分析

$i$  個の不一致(ミスマッチ)がある場合の走査電極選択パターンについて考える。

【0018】 $h$ ビットワード長の走査電極選択パターンが同じ $h$ ビットワード長のデータパターンと $i$ ビットだけ不一致となる場合の数は、

$$C_i = \{h!\} / \{i! (h-i)!\} = C_i$$

通り存在する。

【0019】例えば $h=3$ 、走査電極選択パターン=(0, 0, 0)の場合を考えると、下記の表のようになる。

【0020】

【表2】

不一致数	データパターン(信号電極)	$C_i$
$i=0$	(0, 0, 0)	1通り
$i=1$	(0, 0, 1) (0, 1, 0) (1, 0, 0)	3通り
$i=2$	(1, 1, 0) (1, 0, 1) (0, 1, 1)	3通り
$i=3$	(1, 1, 1)	1通り

これらは、走査電極選択パターンではなく、ワードのビット数で決まる。

【0021】ピクセルに印加される瞬時電圧の振幅 $V_{pixel}$ は、走査電圧を $V_{row}$ 、信号電圧を $V_{column}$ とすると、

$$V_{pixel} = (V_{column} - V_{row})$$

$$\text{または } (V_{row} - V_{column})$$

ここで、

$$V_{row} = \pm V_r$$

$$V_{column} = V_{(i)}$$

であれば、

$$V_{pixel} = +V_r - V_{(i)} \text{ または } -V_r - V_{(i)}$$

である。

$$\text{【0022】 } V_{row} = \pm V_r$$

$$V_{column} = \pm V_{(i)}$$

であれば、

$$V_{pixel} = V_r - V_{(i)}, V_r + V_{(i)}, -V_r - V_{(i)}$$

$$\text{または } -V_r + V_{(i)}$$

すなわち、

$$V_{pixel} = |V_r - V_{(i)}| \text{ または } |V_r + V_{(i)}|$$

となる。

【0023】従って、ピクセルに印加される具体的振幅は、

$$\text{選択行で } -(V_r + V_{(i)}) \text{ または } (V_r - V_{(i)})$$

$$\text{非選択行で } V_{(i)}$$

である。(  $V_{(i)}$  を両極性と考えると、前記の文献のような記述となる。) 一般に、ピクセルに印加される電圧は、

オン・ピクセルではできる限り大きく

オフ・ピクセルではできる限り小さく

することが、高い選択比を実現する上で望ましい。それゆえ、オンのとき、

$$|V_r + V_{(i)}| \text{ はオン・ピクセルに有利に働き、}$$

$$|V_r - V_{(i)}| \text{ はオン・ピクセルに不利に働く。}$$

【0024】オフのとき、

$$|V_r - V_{(i)}| \text{ はオフ・ピクセルに有利に働き、}$$

$$|V_r + V_{(i)}| \text{ はオフ・ピクセルに不利に働く。}$$

【0025】ここで、オンに対する有利とは、実効電圧を上昇させ、オンに対する不利とは、実効電圧を下降させる方向に作用する。

【0026】 $h$ ビットの中から $i$ 個選択する組み合わせの数は、

$$C_i = \{h!\} / \{i! (h-i)!\}$$

であり、 $i$ 個と不一致とすれば、これは $h$ ビット中、 $i$ ビットが不一致となる場合の数であり、その不一致数は各レベルで $i$ 個であるので、全体の不一致数(総ミスマッチ)は、 $i \cdot C_i$ 個である。

【0027】これらは、 $h$ ビットにまたがって分布しているので、ピクセル当り(1ビット当り)の平均不一致数 $B_i$ は、

$$B_i = i \cdot C_i / h \text{ (個/ピクセル)}$$

である。

【0028】また、不一致数の増加に従って信号電圧 $V_{(i)}$ のレベルを増加するとすると、

$$V_{pixel} = V_{row} - V_{column}$$

は、不一致数が増加するに従って減少する。

【0029】注目のオン・ピクセルに対して、不一致を

不利に働くと考えると、不一致数は、不利な電圧(信号

電圧)の数を与える。従って、1ピクセル当たりの(平均で)不利な電圧の数は、

$$B_i = i \cdot C_i / h$$

となる。

【0030】ところで、 $C_i$ のうち $i/h$ が不利であるので、残り、すなわち

$$A_i = \{(h-i)/h\} \cdot C_i$$

は有利に働く。また、

$$\{(h-i)/h\} \cdot C_i + (i/h) \cdot C_i = (h/h) \cdot C_i = C_i$$

$$C_i = C_i$$

であり、

$$A_i = C_i - B_i = \{(h-i)/h\} \cdot C_i = \{(h-i)/h\} \cdot C_i$$

ただし、 $h \geq i+1$

である。

05 【0031】以上をまとめると、

$$V_{on}(r, m, s) = \{(S_1 + S_2 + S_3) / S_4\}^{1/2}$$

$$V_{off}(r, m, s) = \{(S_5 + S_6 + S_7) / S_4\}^{1/2}$$

となる。なお、

【0032】

10 【数2】

$$S_1 = \sum_{i=0}^h A_i (V_r + V_{(i)})^2 \quad (\text{有利})$$

$$S_2 = \sum_{i=0}^h B_i (V_r - V_{(i)})^2 \quad (\text{不利})$$

$$S_3 = \{(N/h) - 1\} \sum_{i=0}^h (A_i + B_i) V_{(i)}^2$$

$$S_4 = 2^h \cdot (N/h)$$

$$S_5 = \sum_{i=0}^h A_i (V_r - V_{(i)})^2 \quad (\text{有利})$$

$$S_6 = \sum_{i=0}^h B_i (V_r + V_{(i)})^2 \quad (\text{不利})$$

である。また、

$$V_r / V_0 = N^{1/2} / h \cdots \cdots \text{行選択電圧}$$

$$V_{(i)} / V_0 = (h-2i) / h$$

$$= \{1 - (2i/h)\} \cdots \cdots \text{列電圧}$$

であり、

$$R = (V_{on} / V_{off})_{max} = \{(N^{1/2} + 1) / (N^{1/2} - 1)\}^{1/2}$$

となる。

【0033】ところが、上記従来例2のように順次複数本の走査電極を同時に選択して駆動する場合には、走査電極および信号電極に印加するパルス幅が、同時に選択する走査電極の数が増加するに従って狭くなり、波形のナマリによるクロストークが増大し画質が悪くなる等の問題があり、特にパルス幅の変調等による階調表示を行う場合には、深刻となる。

【0034】本発明は上記のように順次複数本の走査電極を同時に選択して駆動する場合にも良好に階調表示を行うことのできる液晶素子等の駆動方法及び表示装置を提供することを目的とする。

【0035】

【課題を解決するための手段】本発明による液晶素子等の駆動方法は、走査電極を有する基板と、信号電極を有する基板との間に液晶層を介在させる液晶素子を、順次同時に複数本の走査電極を選択してマルチプレクス駆動する液晶素子等の駆動方法において、上記の選択期間を複数の期間に区分し、その区分した選択期間に、所

25 望の表示データに応じた重み付けをした電圧を印加して階調表示を行うことを特徴とする。

【0036】上記のような駆動方法を採用することによって、順次複数本の走査電極を同時に選択してマルチプレクス駆動する場合にも、クロストーク等が発生が少なく良好な階調表示を行わせることが可能となる。

【0037】また本発明による液晶素子等の駆動回路は、走査電極を有する基板と信号電極を有する基板との間に液晶層を介在させる液晶素子等を、順次同時に複数本の走査電極を選択してマルチプレクス駆動する液晶素子等の駆動回路において、走査データ発生回路から発生した選択パルスデータと、同時に選択される複数本の走査電極上の表示データとを演算回路で演算すると共に、その演算結果に基づくデータを信号電極ドライバに転送し、それと同時に走査データを走査電極に転送して、上記の表示データに応じた所望の階調表示を行わせるように構成したことを特徴とする。

【0038】上記のような駆動回路を用いることによって、前記のような階調表示を簡単・確実に実行させることが可能となる。

【0039】さらに本発明による表示装置は、走査電極を有する基板と信号電極を有する基板との間に液晶層を介在させる液晶素子等を、順次同時に複数本の走査電極を選択してマルチプレクス駆動する液晶素子等の表示装置において、走査データ発生回路から発生した選択パルスデータと、同時に選択される複数本の走査電極



上の表示データとを演算回路で演算すると共に、その演算結果に基づくデータを信号電極ドライバに転送し、それと同時に走査データを走査電極に転送する駆動回路を備え、上記の選択期間を複数個に区分し、その各区分した選択期間に、上記の駆動回路により所望の表示データに応じて重み付けをした信号電圧を信号電極に印加して階調表示を行わせるようにしたことを特徴とする。

【0040】上記のように構成することによって、クロストーク等が発生するおそれが少なく、良好に階調表示を行わせることのできる表示装置を提供することが可能となる。

【0041】

【発明の実施の形態】以下、図に示す実施の形態に基づいて本発明による液晶素子等の駆動方法と駆動回路および表示装置を具体的に説明する。

（実施の形態1）図1は本発明による液晶表示素子等の駆動方法の一実施の形態を示す印加電圧波形図であり、同図（a）は走査電極 $X_1$ ・ $X_2$ ・ $X_3$ に印加される電圧波形、（b）は走査電極 $X_4$ ・ $X_5$ ・ $X_6$ に印加される電圧波形、（c）は信号電極 $Y_1$ に印加される電圧波形、（d）は走査電極 $X_1$ と信号電極 $Y_1$ とが交差する画素に印加される電圧波形を示す。

【0042】本実施の形態は順次3つの走査電極を同時に選択して図2に示すような表示を行ったものである。

【0043】同時に選択される走査電極への印加電圧波形としては、前記図48の（a）もしくは（b）に示す波形を用いることもできるが、本実施の形態においては上記図1の（a）に示す波形を用いている。

【0044】前記図48の（a）もしくは（b）に示すようなビットワードパターンに対応した電圧波形を用いる場合には、各パルス幅が狭くなる不具合があり、特に同時に選択する走査電極の数が増加すると、前記のビットワードパターンの数は指数関数的に増大し、それに伴って必然的に各パルス幅が狭くなり、実際に画素に印加される際には、いわゆるナマリによるクロストークが生じるおそれがある。しかも本実施の形態はもとより後述する実施の形態のようにパルス幅の変調による階調表示を行う場合には、パルス幅が更に狭くなってクロストークの発生原因となる。

【0045】そこで、本実施の形態においては、以下の要領で走査電極への印加電圧波形を設定してパルス幅が広くなるようにしたものである。

【0046】走査電極への印加電圧波形は、

■. 各走査電極が区別できること

■. 各走査電極に加わる周波数成分が大きく異なること  
■. 1フレームあるいは数フレーム内での交流性が保証されることなどを考慮して決める。

【0047】即ち、ナチュラルバイナリ、ウォルシュ、アダマール等の直交関数系の中から上記条件を考慮して印加電圧のパターンを適宜選択することである。

【0048】このうち上記の項目■は絶対条件である。特に項目■を満足するためには、各走査電極への印加電圧波形が互いに直交するように決める。

【0049】上記の要件を考慮して決定したのが、図3の（a）および（b）に示す印加電圧波形であり、図3の（a）の印加電圧波形は、

$$X_1: 4 * \Delta t_0$$

$$X_2: 4 * \Delta t_0, 2 * \Delta t_0$$

$$X_3: 2 * \Delta t_0$$

という異なる周波数成分を含んでいる。

【0050】また図3の（b）に示す印加電圧波形は、

$$X_1: 4 * \Delta t_0, 2 * \Delta t_0$$

$$X_2: 4 * \Delta t_0, 2 * \Delta t_0$$

$$X_3: 6 * \Delta t_0, 2 * \Delta t_0$$

という異なる周波数成分を含んでいる。

【0051】前記図48の（a）・（b）に示す波形の最も短いパルス幅は $\Delta t_0$ であったのに対し、上記図3の（a）・（b）の波形の最も狭いパルス幅 $\Delta t$ は $2\Delta t_0$ であり、2倍に拡大できる。このようにパルス幅を広くすることによって波形のナマリの影響を少なくすることができ、クロストークを減少させることができると共に、同時に選択する走査電極の数を増大させることが可能となる。なお図3の（a）・（b）に示す波形は一例であって適宜変更できると共に、走査電極の選択順序や各走査電極に印加するパルスパターンの配列順序等は直交関数の性質を利用して適宜変更できる。

【0052】前記図1の（a）及び（b）に示す本実施の形態の走査電圧波形は上記図3の（b）の波形を基にして同時に選択される3つの走査電極への印加電圧波形を構成したものである。また本実施の形態においては選択期間を1フレームF内で $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$ の4回に分けて駆動するようにした例を示す。

【0053】一方、信号電極 $Y_1 \sim Y_n$ には、図1の（c）に示すように上記の分けた各選択期間 $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$ を更に複数の期間に分割し、その各分割した期間に、所望の表示データに応じて重み付けをした電圧を印加している。

【0054】即ち、本実施の形態においては $t_1$ の期間を2等分してaとbの2つの期間に分け、4階調表示を2進法により2ビットで表した前記図2に示す表示データに基づいてビット毎に所定の重み付けをした信号電圧を、上位ビットについては期間aに、下位ビットについてはb期間にそれぞれ印加するようにしたものである。

【0055】具体的には、走査電極に電圧 $V_{11}$ を印加するときをオン、電圧 $-V_{11}$ を印加するときをオフとし、表示データは0をオフ、1をオンとして、同時に選択される走査電極のオン・オフと表示データのオン・オフとをビット毎に順に対比して不一致数を算定し、上位ビットについては、不一致数が3のときは $V_{11}$ 、2のときは $V_{12}$ 、1のときは $-V_{12}$ 、0のときは $-V_{11}$ それぞれ印

加し、下位ビットについては、不一致数が3のときは $V_{13}$ 、2のときは $V_{11}$ 、1のときは $-V_{11}$ 、0のときは $-V_{13}$ をそれぞれ印加するようにしている。なお各電圧レベルの関係は、 $2 * V_{11} = V_{12}$ 、 $2 * V_{13} = V_{14}$ 、 $2 * V_{11} = V_{13} - V_{11}$ 、 $2 * V_{12} = V_{14} - V_{12}$ としている。

【0056】例えば、図1の(c)において $t_1$ の期間についてみると、走査電極 $X_1$ 、 $X_2$ 、 $X_3$ に印加する選択パルスはオン、オン、オフの順番となり、信号電極 $Y_1$ と走査電極 $X_1$ 、 $X_2$ 、 $X_3$ との各交点の画素の表示データは(00)(01)(10)で、上位ビットについてみるとオフ、オフ、オンとなり、比較すると不一致の数が3となり、信号電極 $Y_1$ には期間aにおいて電圧 $V_{14}$ が印加されている。また下位ビットについてみるとオフ、オン、オフとなり、走査電極と比較すると不一致の数が1となり、b期間においては電圧 $-V_{11}$ が印加されている。

【0057】このようにして、走査電極 $X_1$ 、 $X_2$ 、 $X_3$ 上の表示データを各信号電極 $Y_1 \sim Y_3$ ごとに走査電極に印加する選択パルスと比較し、不一致の数に応じた信号電圧が印加されるものである。

【0058】次に、走査電極 $X_4$ 、 $X_5$ 、 $X_6$ を同時に選択してそれに対応した信号電極波形を信号電極に印加する。このようにして走査電極を3ラインずつ同時に選択しながら表示データに応じた信号電圧波形を信号電極に印加して行き全ての走査電極 $X_1 \sim X_6$ が走査し終わると、再び最初の走査電極 $X_1$ 、 $X_2$ 、 $X_3$ に戻り、 $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$ の期間でも上記と同様の要領で順次所定の電圧を印加していく。そして $t_1 \sim t_4$ の4つの期間が全ての走査電極 $X_1 \sim X_6$ について走査し終わると1フレームが終了し、次のフレームが繰り返される。

【0059】なお本実施の形態ではフレーム毎に印加電圧の極性を交互に異ならせて、いわゆる交流駆動を行っている。

【0060】上記のように駆動することによってクロストーク等の少ない良好な階調表示を行わせることができるものである。

【0061】なお上記の期間 $t_1 \sim t_4$ に走査電極に印加する走査電圧波形の順番は全てのフレームについて若しくはフレーム毎に適宜入れ替えてもよく、また走査電極に印加する走査電圧波形として前記図3の(a)に示す波形もしくは前述の要件を満足する他の波形を用いることもできる。さらに例えば走査電極 $X_1 \sim X_3$ では図3の(a)に示す波形を用い、次の走査電極 $X_4 \sim X_6$ では図3の(b)に示す波形を用いるというように同時に選択される走査電極毎に2種類の波形を交互に入れ替える、あるいは3種類以上の波形順番に入れ替えることもできる。また上記の期間 $t_1 \sim t_4$ の波形の入れ替えと同時に選択される走査電極毎の波形の入れ替えとを組み合わせることも可能である。

【0062】また上記の期間 $t_1 \sim t_4$ は本実施の形態の

ように各期間毎に分けて駆動する、あるいは1フレーム内に連続的に設けて駆動するようにしてもよいが、本実施の形態のよに選択期間を1フレームFで複数回に分けて駆動するよにすると、非選択期間が短くなってコントラストを高めることができる。この場合、上記実施の形態においては、選択期間を $t_1 \sim t_4$ の4回に分けて駆動するようにしたが、その分け回数は任意であり、例えば上記 $t_1 \sim t_4$ の期間を2回に分けて駆動したり、それ以上に分けて駆動することもできる。

【0063】さらに上記実施の形態では、走査電極を配列順序に従って同時に3本ずつ選択したが、その選択本数は適宜であり、また必ずしも配列順序に従うことなく選択することもできる。

【0064】以上に記載した変更は、後述する実施の形態をおいても同様に適用可能である。

【0065】次に上記のような駆動方法を実行させる駆動回路の構成例を図4～図6に基づいて説明する。

【0066】図4は駆動回路の一例を示すブロック図であり、図において1は走査電極ドライバ、2は信号電極ドライバ、3はフレームメモリ、4は演算回路、5は走査データ発生回路、6はラッチである。

【0067】図5は走査電極ドライバのブロック図、図6は信号電極ドライバのブロック図であり、図5および図6において11・21はシフトレジスタ、12・22はラッチ、13・23はデコーダ、14・24はレベルシフタである。

【0068】上記の構成において、各走査電圧波形は、図4の走査データ発生回路5から発生する、正の選択か、負の選択か、あるいは非選択であるかのデータを発生させ、走査電極ドライバ1に転送する。

【0069】その走査電極ドライバ1では図5に示すように走査データ発生回路5からの走査データ信号S3を走査シフトクロック信号S5でシフトレジスタ11に転送し、一走査期間における各走査電極のデータを転送した後ラッチ信号S6によって各データがラッチされ、各走査電極の状態を表すデータをデコードし、各出力ごとのアナログスイッチ15で3つのスレッチのうちの1つをオンさせて、正の選択のときは $V_{11}$ 、負の選択のときは $-V_{11}$ 、非選択のときは0の電圧を選択された走査電極に出力する。

【0070】一方、各信号電圧波形は、フレームメモリ3からの同時に選択される3本の走査電極毎の表示データ信号S1を読みだし、その表示データ信号S1と走査データ信号S3から選択パルスデータをラッチし、表示データ信号S1と選択パルスデータ信号S4を演算回路4でデータ変換する。そのデータ変換は、前述の要領でなされ、信号電極ドライバ2に転送される。

【0071】その信号電極ドライバ2では図6に示すように演算回路4からのデータ信号S2をシフトクロック信号S7でシフトレジスタ21に転送し、一走査期間

における各信号電極のデータを転送した後ラッチ信号 S8 によって各データがラッチされ、各信号電極の状態を表すデータをデコードし、各出力ごとのアナログスイッチ 25 で 8 つのスイッチのうちの 1 つをオンさせて、 $V_{Y1}$ 、 $V_{Y3}$ 、 $V_{Y2}$ 、 $V_{Y1}$ 、 $-V_{Y1}$ 、 $-V_{Y2}$ 、 $V_{Y3}$ 、 $-V_{Y4}$  の 8 つの電圧のいずれかの電圧を各信号電極に出力する。

【0072】上記のような駆動回路を用いることによって、前記のような駆動方法を簡単・確実に実行させることができる。

【0073】また前記のような表示素子等を有する表示装置に上記のような駆動回路を備え、前記のような駆動方法を実行させるようにすれば、クロストーク等の発生が少なく良好な階調表示を行うことのできる表示装置が得られるものである。

(実施の形態 2) 上記実施の形態 1 においては、信号電極に表示データの各ビット毎に 4 種類の電圧の中から表示データに応じて 1 つを電圧選択して印加するようにしたが、仮想電極を設けることによって信号電極に印加する電圧レベルの数を削減することができる。

【0074】図 7 は上記実施の形態 1 において仮想電極を設けることによって信号電極に印加する電圧レベルの数を削減して駆動した本実施の形態による電圧波形図、図 8 は仮想電極を設けることによって信号電極に印加する電圧レベルの数を削減する要領を示す説明図である。

【0075】本実施の形態は、例えば図 8 に示すように同時に選択される走査電極の次に  $X_{n+1}$ 、 $X_{n+2}$ ……のような仮想電極を設け、例えば走査電極  $X_1$ 、 $X_2$ 、 $X_3$  が選択されるときに、それと同時に  $X_{n+1}$  も選択されると仮定し、実施の形態 1 と同様に走査電極に電圧  $V_{Y1}$  を印加するときをオン、電圧  $-V_{Y1}$  を印加するときをオフとし、表示データは 0 をオフ、1 をオンとして不一致数を算定する。この場合、仮想電極の状態を適宜変えることによって不一致数が常に 1 か 3 になるようにする。

【0076】そして表示データの上位ビットでは不一致数が 1 のとき  $-V_{Y2}$ 、不一致数が 3 のとき  $V_{Y2}$  を選択し、表示データの下位ビットでは不一致数が 1 のとき  $-V_{Y1}$ 、不一致数が 3 のとき  $V_{Y1}$  を選択するものである。なお各電圧レベルの関係は、 $2 * V_{Y1} = V_{Y2}$  とする。

【0077】上記図 7 は上記の要領で前記図 2 に示す表示を行ったもので、 $t_1$  の期間についてみると、走査電極  $X_1$ 、 $X_2$ 、 $X_3$  および仮想電極  $X_{n+1}$  に印加する選択パルスは順にオン、オン、オフ、オンとなり、信号電極  $Y_1$  と走査電極  $X_1$ 、 $X_2$ 、 $X_3$  および  $X_{n+1}$  との各交点の画素の表示データは (00) (01) (10) (11) で、上位ビットについてみるとオフ、オフ、オン、オンとなり、順に比較すると不一致の数が 3 で、この不一致の数に応じて変換データ S2 をつくり、信号電極  $Y_1$  には期間 a において電圧  $V_{Y2}$  が印加されている。

【0078】また下位ビットについてみるとオフ、オ

ン、オフ、オンとなり、走査電極と比較すると不一致の数が 1 となり、この不一致の数に応じて変換データ S2 をつくり、信号電極  $Y_1$  には期間 b において電圧  $-V_{Y1}$  が印加されている。

05 【0079】このようにして、走査電極  $X_1$ 、 $X_2$ 、 $X_3$  および  $X_{n+1}$  上の表示データを各信号電極  $Y_1 \sim Y_n$  ごとに走査電極に印加する選択パルスと比較し、不一致の数に応じた電圧を印加していく。

【0080】次に、走査電極  $X_4$ 、 $X_5$ 、 $X_6$  および  $X_{n+2}$  を同時に選択してそれに対応した信号電極波形を信号電極に印加する。

【0081】このようにして走査電極を 3 ラインと仮想電極 1 ラインずつ同時に選択しながらそれに対応した信号電極波形を信号電極に印加していき走査電極  $X_6$  まで走査し終わると、再び最初の走査電極  $X_1$ 、 $X_2$ 、 $X_3$  に戻り、 $t_2$  で示すパルスパターンで順番に走査していく。このようにして、 $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$  に示す各パルスパターンで 4 回走査することによって 1 フレーム期間を終了し、次のフレームで同様の操作が繰り返えされる。

20 【0082】上記のように仮想電極を設けることによって信号電極に印加する電圧レベルの数を実施の形態 1 の場合よりも少なくできるものである。

【0083】なお上記のように仮想電極を設けることによって信号電極に印加する電圧レベルの数を減少させることは、後述する各実施の形態にも適用できる。

【0084】また本実施の形態および後述する各実施の形態においても、前記実施の形態 1 と同様の駆動回路を用いることができる。その場合、前記図 4 における演算回路 4 は各実施の形態に応じてデータ処理を行う構成とし、また図 5 の走査電極ドライバおよび図 6 の信号電極ドライバの電圧レベルは各実施の形態に応じて設け、アナログスイッチ 15・25 でいずれかの電圧レベルを選択するように構成すればよい。

35 【0085】例えば本実施の形態においては、前記図 4 における演算回路 4 および図 5 の走査電極ドライバは実施の形態 1 と同様とし、図 6 の信号電極ドライバは実施の形態 1 においては  $V_{Y4}$ 、 $V_{Y3}$ 、 $V_{Y2}$ 、 $V_{Y1}$ 、 $-V_{Y1}$ 、 $-V_{Y2}$ 、 $-V_{Y3}$ 、 $-V_{Y4}$  の 8 つの電圧レベルを設けたが、本実施の形態においては  $V_{Y2}$ 、 $V_{Y1}$ 、 $-V_{Y1}$ 、 $-V_{Y2}$  の 4 つの電圧レベルを設けるだけでよい。

(実施の形態 3) 上記各実施の形態は表示データに応じて電圧値を変えて階調表示を行ったが、パルス幅を変えることによって階調表示を行うこともできる。

45 【0086】図 9 はパルス幅変調による階調表示を行った実施の形態の印加電圧波形図である。

【0087】先ずパルス幅変調による階調表示を行う場合の一般的な手順等について説明する。

【0088】一般に、パルス幅変調による階調表示を行うに当たっては、前記パルスの時間幅  $\Delta t$  を、 $f$  個の不

等間隔の時間幅に分割する。

【0089】

$\Delta t_0 = 2^{f-1} / (2^f - 1)$  (fは階調のビット数)

例えば、f=2のときは、 $2^2=4$ 階調であり、時間幅は図10に示すように $\Delta t_1 = (1/3) \Delta t_0$ 、 $\Delta t_2 = (2/3) \Delta t_0$ に分割する。

【0090】次に、各データをfビットに分割(fビットで表現)する。

【0091】

$d_1 = (d_{1,1}, d_{1,2}, \dots, d_{1,f})$

$d_2 = (d_{2,1}, d_{2,2}, \dots, d_{2,f})$

:

$d_b = (d_{b,1}, d_{b,2}, \dots, d_{b,f})$

:

そして、 $\Delta t_g$ の間隔で走査電極の選択パターンとデータパターンの各ビットを比較する。

【0092】例えば、f=2のとき

$d_1 = (d_{1,1}, d_{1,2})$

$d_2 = (d_{2,1}, d_{2,2})$

:

となり、まず $d_1$ のうち、 $d_{1,1}$ (下位ビット)と走査電極選択パターンを比較し、 $\Delta t_1$ の間ディスプレイに印可する。

【0093】次に、 $d_{1,2}$ と走査電極選択パターンを比較し、 $\Delta t_2$ の間ディスプレイに印加する。

【0094】これを各dについて、上記と同様の要領で順次行えばよい。

【0095】本実施の形態による上記図9は、上記の要領でパルス幅変調により前記図2に示すような4階調の表示を行ったものである。

【0096】本例においては、各走査電極 $X_1 \sim X_n$ に前記図47の従来例と同様の走査電圧を印加し、それに対する信号電極 $Y_1 \sim Y_m$ のパルス幅を上記の階調表示に応じて変調させるようにしたものである。

【0097】すなわち、各パルス幅 $\Delta t$ を均等に3分割し、0から3までの4段階の階調表示を、2進法により2ビットの表示データ(00)、(01)、(10)、(11)で表し、同時に選択される走査電極のオン・オフと、上記の表示データの上位ビットとの不一致数によって3分割のうちの2分割の電圧レベルを決め、下位ビットとの不一致数で残りの1分割分について電圧レベルを決めるものである。また3分割を均等でなくすることによって階調表示の輝度変化を補正することもできる。

【0098】具体的には上記図9において走査電極に電圧 $V_{11}$ を印加するときをオン、電圧 $-V_{11}$ を印加するときをオフとすると、走査電極 $X_1 \cdot X_2 \cdot X_3$ に印加する最初のパルスは、全てオフであり、これに対して前記図

2の走査電極 $X_1 \cdot X_2 \cdot X_3$ の表示データの低位ビットは0をオフ、1をオンとして、オフ・オン・オフであるから、不一致数は1となり、 $\Delta t_1$ の間の電圧パルスは $-V_{11}$ となり、上位ビットはオフ・オフ・オンであるから、不一致数は1となり $\Delta t_2$ の間の電圧パルスは $-V_{11}$ となる。このようにして各選択期間 $\Delta t$ 毎に比較して信号電極に印加する電圧パルスを求めればよい。

【0099】そして本実施の形態においては上位ビットに対する電圧は3分割のうちの後の2つの期間に、下位ビットに対する電圧は3分割のうちの前の1つの期間に印加するようにしたものである。なお上位ビットに対する電圧を3分割のうちの前の2つの期間に、下位ビットに対する電圧を3分割のうちの後の1つの期間に印加してもよい。

(実施の形態4) 上記のような階調表示を行う場合にも前記実施の形態1の場合と同様に選択期間を1フレームの中で複数回に分けて駆動することができる。

【0100】図11はその一例を示すもので、前記図9の実施の形態において走査電極および信号電極に印加する8つのパルスパターン(ブロック)よりなる電圧波形を、パルスパターン毎に等間隔に8つに分割して出力するようにした例を示す。

【0101】上記のように選択期間を1フレームの中で複数回に分けて駆動すると、前記実施の形態と同様にコントラストを高めることができる。

(実施の形態5) 上記実施の形態3および実施の形態4においては、信号電極の電圧レベルとして、 $V_{12} \cdot V_{11} \cdot -V_{11} \cdot -V_{12}$ の4つのレベルを用いたが、前記実施の形態2と同様に仮想電極を設けることによって上記の電圧レベル数を削減することができる。

【0102】図12は上記実施の形態3に仮想電極を設けて信号電極への印加電圧レベルを減らすと共に、実施の形態4と同様に選択期間を1フレーム内で複数回に分けて駆動した例を示す。

【0103】上記のように仮想電極を設けることによって電圧レベル数を削減する要領等については、既に前記実施の形態2で説明したが、ここではその一般的な手法等をも含めて説明する。

【0104】まず、前述のサブグループh本の内、e本を仮想走査電極(仮想ライン)とし、この仮想走査電極のデータの一致・不一致を制御することにより、全体の一致・不一致数を制限し、信号電極の駆動電圧のレベル数を削減する。

【0105】不一致数をMi、Vcを適当な定数とすると、信号電極への印加電圧 $V_{column}$ は、

【0106】

【数3】

$$V_{\text{column}} = V_c \sum_{j=1}^h a_{k+h+j} \oplus d_{k+h+j}$$

$$= V_c (2Mi - h) \quad (V_c : \text{定数})$$

あるいは単純に

$$V_{\text{column}} = V_{(i)} \quad 0 \leq i \leq h$$

いずれにせよ、 $V_{\text{column}}$  は  $h+1$  レベルある。

【0107】例えば、サブグループ  $h=4$ 、仮想走査電極  $e=1$  の場合について考える。

【0108】前記実施の形態のように、 $h=3$  の場合の

レベル数は、 $-V_{12}$ 、 $-V_{11}$ 、 $V_{11}$ 、 $V_{12}$  の 4 レベルであり、このとき仮想走査電極で偶数個の不一致となるように制御すると下記表のようになる。

【0109】  
【表 3】

もとの 電圧レベル	もとの 不一致数	仮想 電極	修正後の 不一致数	修正後の 電圧レベル
$-V_{12}$	0	一致	0	$V_a$
$-V_{11}$	1	不一致	2	$V_b$
$V_{11}$	2	一致	2	$V_b$
$V_{12}$	3	不一致	4	$V_d$

上記のように、元の電圧レベルが 4 段階であったものを 3 段階にすることができる。また、不一致数が奇数個になるようにすると、上記表中の修正後の不一致数は、上から順に 1、1、3、3 となり、修正後の電圧レベルを、例えば  $V_a \cdot V_a \cdot V_b \cdot V_b$  の 2 レベルにすることができる。

【0110】またサブグループが  $h=4$  で、電圧レベル

を削減しない場合の電圧レベルは、例えば  $-V_{12}$ 、 $-V_{11}$ 、 $0$ 、 $V_{11}$ 、 $V_{12}$  の 5 レベル必要であるのに対し、仮想走査電極で偶数個の不一致となるように制御すると、下記表のようになる。

【0111】  
【表 4】

削減前の 電圧レベル	削減前の 不一致数	仮想 電極	修正後の 不一致数	修正後の 電圧レベル
$-V_{12}$	0	一致	0	$V_a$
$-V_{11}$	1	不一致	2	$V_b$
$0$	2	一致	2	$V_b$
$V_{11}$	3	不一致	4	$V_d$
$V_{12}$	4	一致	4	$V_d$

上記のように、もとの電圧レベルが 5 段階であったものを 3 段階にすることができる。上記の場合も不一致数が奇数個になるようにして電圧レベルを設定することができる。

【0112】なお、上記の仮想走査電極は、通常は表示しなくてよいので、必ずしも現実には設ける必要はないが、設ける場合には表示に影響しない部分に設けるとよく、例えば液晶表示装置等においては、図 13 に示すように表示領域 R の外に仮想走査電極  $X_{n+1}$  … を設ける、

あるいは表示領域 R の外側に余剰の走査電極がある場合にはそれを仮想走査電極として用いるともできる。

【0113】また、仮想走査電極の数  $e$  を増加させれば、レベル数はさらに削減できる。その場合、上記のように  $e=1$  の場合は、不一致数が全て 2 で割れるように制御したが、例えば  $e=2$  の場合は、不一致数が全て 3 で割れるように制御すればよい。

【0114】ただし、全てが 3 で割って 1 余る、あるいは 2 余るようにしてもよい。

【0115】さらに上記の手法で削減できる最大削減数は、 $1/(e+1)$  であり、 $e=1$  のときは 0V を除いて  $1/2$  である。

【0116】本実施の形態による前記図 12 は同時に 3 本の走査電極と 1 本の仮想走査電極とを選択して信号電極への印加電圧レベルを減らすと共に、選択期間を 1 フレーム内で複数回に分けて駆動するようにしたものである。

【0117】その選択期間は、本実施の形態においては図 12 および図 14 に示すように 1 フレーム内で 4 回に分割して各期間毎に仮想走査電極を含めた 4 本の走査電極について表示データの各ビット毎に不一致数を数え、その不一致数が常に奇数になるようにすることで、不一致数が 1 か 3 になり、それに応じて信号電圧波形の電圧レベルが  $V_{H1}$  と  $-V_{H1}$  の 2 つのレベルになるようにしている。

【0118】具体的には、例えば前記図 13 に示すような表示を行う場合に、前記図 8 に示すように最初に選択される走査電極  $X_1 \cdot X_2 \cdot X_3$  の次に仮想走査電極  $X_{n+1}$  があるものとする。ただし、実際には前述のように設けなくてもよく、設ける場合には図 13 に示すように表示領域 R の外に設けるのが望ましい。

【0119】また、上記の走査電極に印加する電圧がプラスの場合をオン、マイナスの場合をオフとして、各選択期間  $\Delta t$  をそれぞれ 3 分割し、同時に選択される走査電極  $X_1 \cdot X_2 \cdot X_3$  の表示データが図 13 のように (00)、(01)、(10) であるときは、前記図 8 に示すように仮想走査電極のデータは (11) とすればよい。

【0120】そして、各ビット毎に不一致数を数えて  $V_{H1}$  か  $-V_{H1}$  のいずれかの電圧レベルを決定し、上位ビットに対する電圧は 3 分割のうちの後の 2 つの期間、下位ビットに対する電圧は 3 分割のうちの前の 1 つの期間に印加すればよい。なお上位ビットに対する電圧を 3 分割のうちの前の 2 つの期間に、下位ビットに対する電圧を 3 分割のうちの後の 1 つの期間に印加してもよいことは、前記実施の形態 3 と同様である。

【0121】上記のように表示データによって各ビット毎に比較することによって  $V_{H1}$  あるいは  $-V_{H1}$  の電圧のパルス幅を決めればよく、仮想走査電極に印加する選択パルスの極性と表示データとが常に不一致数が 1、3... 等の奇数になるようにすることによって、信号電極に印加する電圧レベルを削減するもので、本実施の形態においては 2 レベルとすることができる。ただし、前述のように不一致数が偶数になるようにしてもよい。

【0122】また上記のようにすると、液晶ドライバの回路構成が簡単で、従来のパルス幅変調用ドライバとはほぼ同じものも使用できる。

【0123】なお上記実施の形態では、4 階調表示について説明したが、それ以上の多階調表示も可能であり、

例えば表示データを 3 ビットとして各選択期間を表示データの各ビットに対してパルス幅に重み付けをした 3 分割とすることで、8 階調表示ができ、さらに表示データを 4 ビットとして各選択期間を表示データの各ビットに対してパルス幅に重み付けをした 4 分割とすることで 16 階調の表示を行うことができる。このように各選択期間の分割数を変えることで、多階調表示ができるものである。

(実施の形態 6) 上記実施の形態 5 のように仮想電極を設けて信号電極への印加電圧レベルを減らした上でパルス幅変調による階調表示を行うことは、同時に選択される走査電極に前記実施の形態 1 のような走査電圧を印加する場合にも適用可能であり、図 14 はその一例を示す説明図である。

【0124】同時に選択される走査電極への印加電圧波形は上記のように実施の形態 1 における図 1 と同様とし、各選択期間  $t_1 \sim t_4$ 、 $t_5 \sim t_8$  をそれぞれ 3 分割し、同時に選択される走査電極  $X_1 \cdot X_2 \cdot X_3$  の表示データが図 13 のように (00)、(01)、(10) であるときは、前記図 8 に示すように仮想走査電極のデータは (11) とすればよい。

【0125】そして、各ビット毎に不一致数を数えて電圧レベルを決定し、上位ビットでは 3 分割のうちの 2 つの期間、下位ビットでは 3 分割のうちの 1 つの期間について  $V_{H1}$  か  $-V_{H1}$  の電圧を印加すればよい。上記のようにすることによって実施の形態 5 と同様の効果が得られる。

【0126】なお上記の各選択期間  $t_1 \sim t_4$  は 1 フレーム F 内に連続させて設けても、あるいは 1 フレーム F 内で各々分けて設けるようにしてもよい。選択期間  $t_5 \sim t_8$  についても同様である。

(実施の形態 7) 上記のように選択期間の分割および印加電圧レベルの削減を行った上でフレーム変調による階調表示を行うことも可能であり、図 15 は上記実施の形態 6 と同様に順次 3 本の走査電極と 1 本の仮想走査電極とを用いて信号電極への印加電圧レベルを減らし、かつ選択期間を 1 フレーム内で複数回に分けて駆動すると共に、フレーム変調による階調表示を行った場合の実施の形態を示す。

【0127】なお同時に選択される走査電極への印加電圧として、本実施の形態においては前記図 3 の (b) の波形を用いたものであるが、同図 (a) もしくは前記図 48 の (a) または (b) 等の波形を用いることもできる。

【0128】フレーム変調による階調表示は、あるフレーム期間の中で何フレームをオンとし、何フレームをオフにするかで階調表示を行うもので、例えば図 16 のように F1 間でオン、F2 間でオフ電圧を印加すると、オンとオフとの中間調が表示される。

【0129】また本実施の形態では 1 フレームの中で 4

回選択されるのでF1期間とF2期間での明暗の差が小さくなり、チラツキが目立たなくなる。

【0130】例えば、複数のフレーム期間を1つのブロックとして階調表示する場合に、上記の複数フレームの中で選択パルスの位置を入れ替えることも可能で、例えば図15において、 $t_3$ 間と $t_7$ 間を入れ替えることによってフレーム間の差をより小さくすることもできる。

【0131】なお上記実施の形態では、2フレームのうちの1フレームでオン、1フレームでオフとすることによって階調表示を行う例を示したが、それ以上のフレーム、例えば7フレームを1つのブロックとしてその中でオンのフレームとオフのフレームがいくつあるかの組合せによって8階調の表示を行うこともでき、また15フレームを1ブロックとして16階調の表示を行うこともできる。このように1つのブロックを何フレームにするかで任意の階調数の表示ができるものである。

(実施の形態8) さらに前記のように選択期間の分割および印加電圧レベルの削減を行った上でパルス幅変調とフレーム変調との組合せによる階調表示を行うことも可能であり、図17はパルス幅変調とフレーム変調との組合せによる階調表示を行う要領の一例を示す説明図である。

【0132】或る何フレーム期間の中で、いくつかの中間調を表示することによって、各階調データと階調データの中間の階調の表示を可能とする。

【0133】例えば、図18に示すように最初のフレームF1の期間では、(00)を表示し、次のフレームF2の期間では、(01)を表示することによって、実際には(00)と(01)の中間を表示することができる。

【0134】上記のように選択期間の分割および印加電圧レベルの削減を行うと共に、パルス幅変調とフレーム変調との組合せによる階調表示を行うと、表示のチラツキを減少させることができると共に、多階調表示が可能となる。また実施の形態6と同様に選択パルスの入れ替えができる。

【0135】さらに例えば前記実施の形態2に示すような表示データによって電圧に重み付けをする場合、そのほか先の他の実施の形態もしくは後述する実施の形態にも、本実施の形態のようなフレーム変調との組合せによる階調表示を行わせることもできる。

【0136】また前記実施の形態5～本実施の形態8は、仮想走査電極を設けた場合について説明したが、仮想走査電極を設けない場合でも、フレーム変調による階調表示やフレーム変調とパルス幅変調との組合せによる階調表示を行うことができる。

(実施の形態9) 上記各実施の形態では、表示データを2ビットとして各ビットに対応した重み付けをした信号電圧を印加することによって4階調表示を実現しているが、階調数は幾つにすることも可能であり、例えば図1

9の示すような信号電極波形として8階調表示とすることもできる。

【0137】即ち、図19は前記図2における各走査電極に印加する走査電極波形は実施の形態1の場合と同じとして、走査電極 $X_1$ 、 $X_2$ 、 $X_3$ と信号電極 $Y_1$ の交点の各画素の表示データが上から順に(001)(010)(100)としたときの信号電極波形である。

【0138】本実施の形態においては前記実施の形態1における4つの各選択期間 $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$ をそれぞれ3等分してa、b、cの3つの期間に分割し、3ビットの表示データのうち最上位ビットに対応する電圧波形を期間aに、中位ビットに対応する電圧波形を期間bに、最下位ビットに対応する電圧波形を期間cに、それぞれ実施の形態1と同様の要領で各ビットの表示データに応じた重み付けをして印加するようにしたものである。

【0139】すなわち、期間aでは最上位ビットの表示データに応じて $-V_{Y6}$ 、 $-V_{Y4}$ 、 $V_{Y4}$ 、 $V_{Y6}$ の電圧レベルから1つを選び、期間bでは中位ビットの表示データに応じて $-V_{Y5}$ 、 $-V_{Y2}$ 、 $V_{Y2}$ 、 $V_{Y5}$ の電圧レベルから1つを選び、期間cでは最下位ビットの表示データに応じて $-V_{Y3}$ 、 $-V_{Y1}$ 、 $V_{Y1}$ 、 $V_{Y3}$ の電圧レベルから1つを選ぶ。なお各電圧レベルの関係は、 $4 * V_{Y1} = 2 * V_{Y2} = V_{Y4}$ 、 $4 * V_{Y3} = 2 * V_{Y5} = V_{Y6}$ 、 $2 * V_{Y1} = V_{Y3} - V_{Y1}$ 、 $2 * V_{Y2} = V_{Y5} - V_{Y2}$ 、 $2 * V_{Y4} = V_{Y6} - V_{Y4}$ としている。

【0140】このような条件で、実施の形態1と同様の要領で、表示データの各ビットごとに不一致の数によって信号電極波形を作ることによって8階調表示を行うものである。

【0141】以上のように、前記実施の形態1では選択期間を2等分した各期間に対応した電圧を選んで信号電極に印加することによって4階調表示を行い、本実施の形態では3等分することで8階調表示を行っている。これを更に4等分することで16階調というように、選択期間をいくつか分割してそれぞれの期間に対応した電圧を信号電極に印加することによって階調数を増やすことができる。また、各信号電極の電圧の比を変えたり、選択期間の中を等分割でなく少し変えることによって各階調における輝度を調整することも可能である。

(実施の形態10) 上記実施の形態9の図19においては信号電極に印加する電圧を変えることによる階調表示において、表示データのビット数に応じて分割した期間a、b、cに、各ビットに応じた電圧を上位ビットから順番に印加するようにしたが、その順番を信号電極毎に適宜入れ替えることもできる。

【0142】上記実施の形態9において、例えば走査電極 $X_1$ 、 $X_2$ 、 $X_3$ と信号電極 $Y_2 \sim Y_4$ とが交差する各画素の表示が、走査電極 $X_1$ 、 $X_2$ 、 $X_3$ と信号電極 $Y_1$ とが交差する画素の表示と同じであるとすると、信号電極Y

$Y_1 \sim Y_n$ に印加する信号電圧波形は全て図19に示す波形と同じとなる。しかし、このような場合、各画素に印加される波形のナマリ等が大きくなってしまい表示品質が悪くなる。

【0143】そこで、本実施の形態においては図20に示すように各信号電極 $Y_1 \sim Y_n$ に印加される信号電極波形を順に入れ替えるようにしたものである。

【0144】すなわち、前記実施の形態9においては3ビットの表示データのうち最上位ビットに対応する電圧を期間aで、中位ビットに対応する電圧を期間bで、最下位ビットに対応する電圧を期間cで、その順に信号電極 $Y_1$ に印加している。他の信号電極 $Y_1 \sim Y_n$ についても同様である。

【0145】これに対し、本実施の形態においては図20に示すように、最上位ビットに対する電圧を印加する期間をa、中位ビットに対する電圧を印加する期間をb、最下位ビットに対する電圧を印加する期間をcとすると、例えば信号電極 $Y_1$ では実施の形態2と同様に上位ビットから順にa・b・cの順番で印加すれば、次の信号電極では順番を適宜入れ替えて例えば信号電極 $Y_2$ ではa・c・b、信号電極 $Y_3$ ではb・a・c、信号電極 $Y_4$ ではb・c・a、信号電極 $Y_5$ ではc・a・b、信号電極 $Y_6$ ではc・b・aの順にそれぞれ印加していく、他の信号電極 $Y_1 \sim Y_n$ についても上記のような組み合わせの繰り返しとする。

【0146】上記のようにすると、上記実施の形態においては順番の異なる6種の組み合わせの波形がほぼ同じ数だけ信号電極に印加されるため各信号電極波形の立ち上がりや立ち下がりの影響が相殺しあい各画素に印加される波形のナマリ等を減少させることができるものである。

【0147】なお、各信号電極に印加する波形の組み合わせはどのようにしてもよく、例えば、信号電極ドライバが6個あれば信号電極ドライバごとに各組み合わせの波形を印加するようにしてもよい。このように、各信号電極に印加する波形の組み合わせがほぼ同数となるようにすることによって、表示品質を向上することができる。

【0148】また上記のように表示データの各ビットに対応する電圧を各信号電極 $Y_1 \sim Y_n$ 毎に適宜入れ替えて印加することは、前述の各実施の形態および後述する実施の形態にも適用可能である。

(実施の形態11) 前記実施の形態9においては走査電極に印加する走査電圧波形として図1の(a)すなわち図3の(b)に示すような波形を用いて8階調の表示を行ったが、図3の(a)もしくは前記従来例における図48の(a)または(b)の波形を用いることも可能であり、以下図3の(a)に示す波形を用いて8階調の表示を行う場合を例にして更に詳しく説明する。

【0149】図21は同時に選択される走査電極に印加する走査電圧波形として図3の(a)に示す波形を用い

て図22に示す表示データに基づいて8階調の表示を行った実施の形態の印加電圧波形図であり、同図(a)は走査電極 $X_1 \cdot X_2 \cdot X_3$ に印加される走査電圧波形、同図(c)は信号電極 $Y_1$ に印加される信号電圧波形、同図(d)は走査電極 $X_1$ と信号電極 $Y_1$ とが交差する画素に印加される電圧波形を示す。

【0150】本例においても走査電極を順次同時に3本ずつ選択して駆動するようにしたもので、図21においては3つの走査電極 $X_1 \cdot X_2 \cdot X_3$ のみを示したが、図23に示すように走査電極 $X_1 \cdot X_2 \cdot X_3$ が選択された後は、次の3つの走査電極 $X_4 \cdot X_5 \cdot X_6$ が選択されてそれぞれ走査電極 $X_1 \cdot X_2 \cdot X_3$ と同様の電圧が印加され、以下同様に順に3つずつ選択されて全ての走査電極が選択されたところで1つのフレームが終了する。

【0151】また同時に選択される3つの走査電極には、上記のように前記図3の(a)に示す走査電圧波形を印加するようにしたもので、その最小パルス幅 $\Delta t$ は前記図48の従来例における最小パルス幅 $\Delta t_0$ の2倍の大きさであり、各走査電極の1フレーム内での全ての選択期間tは、上記パルス幅 $\Delta t$ の大きさの4つの期間 $t_1 \sim t_4$ で構成されている。

【0152】上記の4つの期間 $t_1 \sim t_4$ を、表示データのビット数に合せてそれぞれ3つの期間a・b・cに分割し、その各分割期間に表示データのビットに対応して所定の重み付けをした信号電圧を信号電極に印可するようにしたものである。

【0153】即ち、図22において2進法により3桁の数字で表した表示データの上位ビットを各期間 $t_1 \sim t_4$ の始めの分割期間aに、中央のビットを次の分割期間bに、下位ビットを最後の分割期間cにそれぞれ対応させ、上位ビットに対しては所定の重み付けをした $\pm V_{14}$ または $\pm V_{16}$ を、中央ビットに対しては $\pm V_{12}$ または $\pm V_{15}$ を、下位ビットに対しては $\pm V_{11}$ または $\pm V_{13}$ を、それぞれ後述する条件に従って印加する。

【0154】なお上記の電圧値の比は、

$$V_{11} : V_{12} : V_{14} = 1 : 2 : 4$$

$$V_{13} : V_{15} : V_{16} = 1 : 2 : 4$$

$$V_{11} : V_{13} = 1 : 3$$

に設定されている。

【0155】また上記の条件としては、走査電極に印加する走査電圧波形が正側のときをオン、負側のときをオフとし、表示データの1をオン、0をオフとして、同時に選択された走査電極のオン・オフと、その選択された走査電極上における印加すべき信号電極との交点の表示データの同位ビットのオン・オフとを各位毎に順に対比して、その不一致数に応じて所定の電圧を信号電極に印加する。

【0156】具体的には、本例においては走査電極と上位ビットとの不一致数が0のときは $-V_{16}$ 、1のときは $-V_{14}$ 、2のときは $V_{14}$ 、3のときは $V_{16}$ をそれぞれ印



加し、走査電極と中央ビットとの不一致数が0のときは $-V_{y5}$ 、1のときは $-V_{y2}$ 、2のときは $V_{y2}$ 、3のときは $V_{y5}$ をそれぞれ印加し、走査電極と下位ビットとの不一致数が0のときは $-V_{y3}$ 、1のときは $-V_{y1}$ 、2のときは $V_{y1}$ 、3のときは $V_{y3}$ をそれぞれ印加するようにしたものである。

【0157】そこで、図21の実施の形態においては、先ず3つの走査電極 $X_1 \cdot X_2 \cdot X_3$ が同時に選択され、その選択された走査電極 $X_1 \cdot X_2 \cdot X_3$ は順にオフ・オフ・オンで、その走査電極 $X_1 \cdot X_2 \cdot X_3$ における信号電極 $Y_1$ との交点の表示データの上位ビットは順にオフ・オン・オンであり、両者を順に対比すると不一致数は1となり、最初の期間 $t_1$ のうちの最初の分割期間aに $-V_{y4}$ の電圧が信号電極 $Y_1$ に印可されている。他の信号電極 $Y_2 \sim Y_6$ についても同様の要領で重み付けした電圧が同時に印加される。

【0158】つぎに、最初の期間 $t_1$ のうちの次の分割期間bにおいては、走査電極 $X_1 \cdot X_2 \cdot X_3$ のオン・オフは上記と同じオフ・オフ・オンであり、その分割期間bに対応する中央ビットは順にオン・オフ・オフであるから、不一致数は2で $V_{y2}$ の電圧が印加され、また最後の分割期間cに対する下位ビットはオフ・オン・オフであるから、不一致数は2で $V_{y1}$ が印加されている。

【0159】また次の期間 $t_2$ については、走査電極 $X_1 \cdot X_2 \cdot X_3$ 上のオン・オフは順にオフ・オン・オフであり、これに対して走査電極 $X_1 \cdot X_2 \cdot X_3$ における信号電極 $Y_1$ との交点の表示データの上位ビットは上記と同様に順にオフ・オン・オンで不一致数が1であるから $-V_{y4}$ が、中央ビットは順にオン・オフ・オフで不一致数は2であるから $V_{y2}$ の電圧が、下位ビットはオフ・オン・オフで不一致数は0であるから $-V_{y3}$ の電圧が、それぞれ分割期間a・b・cにおいて信号電極 $Y_1$ に順に印加されている。

【0160】さらに次の期間 $t_3$ および $t_4$ についても上記と同様の要領で不一致数に応じた信号電圧が全ての信号電極 $Y_1 \sim Y_6$ に同時に印加されて、走査電極 $X_1 \cdot X_2 \cdot X_3$ の選択が終了し、次いで走査電極 $X_4 \cdot X_5 \cdot X_6$ が選択されて上記と同様の要領で信号電極 $Y_1 \sim Y_6$ に所定の信号電圧が印加され、全ての走査電極が選択されたところで1つのフレームFが終了する。その後、再び始めの走査電極 $X_1 \cdot X_2 \cdot X_3$ から順に選択されて次のフレームが開始されるもので、そのとき走査電極に印加される電圧の正負は反転され、それに伴って信号電極に印加される電圧の正負も反転されて、いわゆる交流駆動がなされる。

【0161】なお前記の電圧比は、必ずしも厳密に前述の条件にしなければならないというのではなく、また期間 $t_1 \sim t_4$ や分割した期間a・b・cも必ずしも厳密に等分に分割しなくてもよく、例えば液晶の特性等に応じて適宜調整するようにしてもよい。さらに上記の分割

した期間a・b・cの順番を入れ替えてもよい。また上記と同様の要領で種々の階調数の表示を行うことも可能であり、例えば16階調では4ビットで表された表示データの各ビットに対応して重み付けした電圧とすればよい。以上の点は後述する実施の形態についても同様である。

(実施の形態12) 上記実施の形態11は各走査電極の選択期間tを1フレームF内で1回にまとめて設けるようにしたが、1フレームF内で複数回に分けて設けてもよい。

【0162】例えば、前記の期間 $t_1 \sim t_4$ 毎に分けて、各期間について全ての走査電極が選択されるまでを1フィールドとし、これを1フレームFで4つのフィールドを繰り返すようにしてもよく、あるいは更に分割して表示データの各ビット毎に全ての走査電極について繰り返すようにしてもよい。図24、図26、図27はその一例を示すものである。

【0163】図24は前記実施の形態11における4つの期間 $t_1 \sim t_4$ 毎に複数回に分けて駆動した実施の形態を示す印加電圧波形図、図25は走査電極 $X_1 \sim X_6$ に印加される走査電圧波形図である。

【0164】先ず、走査電極 $X_1 \cdot X_2 \cdot X_3$ が選択されて上記実施の形態11と同様の要領で3つのビットとの不一致数に応じた信号電圧が順に信号電極 $Y_1 \sim Y_6$ に印可され、次いで走査電極 $X_4 \cdot X_5 \cdot X_6$ が選択されて上記と同様の要領で信号電圧が印加されて行き、全ての走査電極が選択されたところで期間 $t_1$ に対するフィールド $f_1$ が終了する。つぎに、再び始めの走査電極 $X_1 \cdot X_2 \cdot X_3$ から順に選択されて次の期間 $t_2$ に対するフィールド $f_2$ が実行され、4つの期間 $t_1 \sim t_4$ に対する4つのフィールド $f_1 \sim f_4$ が終了したところで、1つのフレームFが完了するものである。

【0165】図26は表示データのビット毎に、すなわち前記実施の形態における4つの期間 $t_1 \sim t_4$ のうちの分割期間毎にまとめて実行するようにしたものである。

【0166】先ず、前記図1の4つの期間 $t_1 \sim t_4$ 内の始めの分割期間aを順にひとまとめにして全ての走査電極が選択されるまでを1つのフィールド $f_1$ とし、同様にして他の分割期間bに対してのフィールド $f_2$ および分割期間cに対してのフィールド $f_3$ が終わるまでを、1フレームとしたものである。

【0167】なお走査電極への印加電圧は1フィールド毎に正負反転させ、それに合わせて信号電極への印加電圧も反転させている。

【0168】図27は更に細分化して図26における分割期間a・b・c毎に全ての走査電極について実行するようにしたものである。本例においては前記図21の実施の形態を表示データのビット毎にフレーム階調したものと同等と見ることができる。

【0169】上記のように走査電極の選択期間を1フレ

ームF内で複数回に分けて実行すると、各走査電極、すなわち各画素に選択電圧が印加されない期間を短くできるので、表示の明るさの増減が軽減されてコントラストの低下を防止することが可能となる。

(実施の形態13) 前記実施の形態11においては、1選択期間を階調ビット数 $n$ と同数すなわち3分割して、 $V_{y1} \sim V_{y6}$ の6つのレベルの信号電圧を信号電極に選択的に印加するようにしたが、上記の分割数を増やすことによって信号電圧のレベル数を減らすことができる。

【0170】例えば液晶表示パネル等の液晶素子を駆動する場合の実効電圧は、一般に電圧値と印加時間(パルス幅)とで決定され、高い電圧を短時間印加しても、低い電圧を長時間印加しても同等に駆動させることができる。

【0171】従って、上記複数個の電圧レベルのうち、高いレベルの電圧を用いる代わりにそれよりも低いレベルの電圧を使用して印加時間を長くしても同等に駆動させることが可能であり、例えば前記の実施の形態1における $V_{y6}$ および $V_{y1}$ の電圧レベルを用いる代わりにそれぞれ $V_{y5}$ および $V_{y2}$ の電圧レベルを用い、その印加時間を長くしても前記実施の形態1の場合と同様に駆動することができる。それによって信号電圧のレベル数を減らすことが可能となる。

【0172】図28は上記の要領で信号電圧のレベル数を減らした実施の形態を示す印加電圧波形図である。

【0173】前記図21の場合は4つの各選択期間 $t_1, t_2, t_3, t_4$ をそれぞれ表示データのビット数に合わせて $n$ 分割すなわち $a \cdot b \cdot c$ の3つに分割したのに対し、本実施の形態は上記の各選択期間を $n+1$ すなわち $a \cdot a \cdot b \cdot c$ の4つに分割し、その始めの2つの分割期間 $a \cdot a$ を表示データの上位ビットの電圧印加可時間に当てたものである。

【0174】すなわち実施の形態11における上位ビットに対する電圧レベル $V_{y6}$ および $V_{y1}$ の代わりに、その2分の1の大きさの中間ビットの電圧レベル $V_{y5}$ および $V_{y2}$ をそれぞれ用い、印加時間は中間ビットの2倍になるようにしたものである。その結果、液晶素子等に印加される電圧値と時間とは、中間ビットの2倍、下位ビットの4倍になり、各ビットに対する重み付けの比は、前記図1の場合と同じように、1:2:4の関係になる。

【0175】上記のようにすると、前記実施の形態11の場合よりも信号電極への印加電圧レベルを1つ少なくした上で実施の形態1の場合と同様に駆動させることができる。

【0176】なお本実施の形態においては前記実施の形態11における最も高い2つの電圧レベル $V_{y6}$ および $V_{y1}$ を省くようにしたが、前記実施の形態11における中間ビットに対する電圧レベル $V_{y5}$ および $V_{y2}$ の代わりに下位ビットの電圧レベル $V_{y3} \cdot V_{y4}$ をそれぞれ用いると

共に、その印加時間を上記と同様の要領で下位ビットの

2倍なるようにしてもよい。また更に、4以上の電圧レベルを削減することも可能であり、上記のように電圧レベルを減らすことは、特に階調数が多い場合に駆動回路等の構成を簡略化するのに有効である。

(実施の形態14) 上記実施の形態13においても実施の形態12の場合と同様に分割した選択期間 $t_1 \sim t_4$ を1フレームF内で複数回に分けて実行することも可能であり、図29、図30、図31はその一例を示す。

【0177】図29は上記実施の形態13において1選択期間を $n+1$ 、具体的には4つに分割した選択期間を、実施の形態12の場合と同様に1フレーム内で複数回、具体的には4回のフィールド $f$ に分けて実行したものである。ただし2回もしくは3回にわけることができる。図30は前記実施の形態における4つの期間 $t_1 \sim t_4$ のうちの分割期間毎にまとめて実行するようにしたもので、前記図21の4つの期間 $t_1 \sim t_4$ 内の分割期間 $a \cdot a$ のうちの始めの分割期間 $a$ を順にひとまとめにして全ての走査電極が選択されるまでを1つのフィールド $f_1$ とし、同様にして次の分割期間 $a$ に対してのフィールド $f_2$ と、分割期間 $b$ に対してのフィールド $f_3$ 、および分割期間 $c$ に対してのフィールド $f_4$ が終わるまでを、1つのフレーム $F_1$ としたものである。なお走査電極への印加電圧は1フィールド毎に正負反転させ、それに合わせて信号電極への印可電圧も反転させている。

【0178】図31は更に細分化して図10における分割期間 $a \cdot a \cdot b \cdot c$ 毎に全ての走査電極について実行するようにしたものである。

【0179】上記図30および図31の実施の形態は、各フィールド毎に信号電極への印加電圧に重み付けをしたフレーム階調と同等と見ることができる。

(実施の形態15) 前述のように液晶素子等を駆動する場合の実効電圧は、一般に印加される電圧値と印加時間(パルス幅)とによって決定され、信号電極への印加電圧の電圧値と印加時間とを適宜組み合わせることによって所望の階調表示を行うことができる。

【0180】図32は信号電極への印加電圧の電圧値と印加時間とを適宜組み合わせることによって、図33に示す表示データに基づいて16階調の表示を行った実施の形態の印加電圧波形図である。

【0181】本実施の形態も走査電極を順次3つずつ選択し、その各走査電極には前記実施の形態1と同様に4つの期間 $t_1 \sim t_4$ からなる選択期間内に走査電圧を印加する。

【0182】上記の4つの期間 $t_1 \sim t_4$ を、それぞれ6つの期間 $a \sim f$ に分割し、始めの2つの分割期間 $a \cdot b$ を図33に示す2進法4桁の表示データの最上位のビットに、次の分割期間 $c$ を2番目のビットに、次の2つの分割期間 $d \cdot e$ を3番目の1ビットに、最後の分割期間 $f$ を最下位のビットにそれぞれ対応させる。

【0183】そして、上位2つのビットとに対しては±

$V_{Y4}$ または $\pm V_{Y6}$ の信号電圧を、下位2つのビットに対しては $\pm V_{Y1}$ または $\pm V_{Y3}$ の信号電圧を、それぞれ後述する条件に従って信号電極に選択的に印加する。

【0184】なお上記の電圧値の比は、

$$V_{Y1} : V_{Y3} = 1 : 3$$

$$V_{Y4} : V_{Y6} = 1 : 3$$

$$V_{Y1} : V_{Y4} = 1 : 4$$

に設定されている。

【0185】上記のように上位2つのビットと下位2つのビットは、それぞれ同じ2組の電圧が用いられ、上位から2番目のビットに対する最上位ビット、および最下位のビットに対する下位から2番目のビットは、それぞれパルス幅を2倍にすることによって重み付けされており、上位2ビットで4階調、下位2ビットで4階調を表現し、両者を掛け合わせて $4 \times 4 = 16$ 階調の表現ができる。

【0186】前記の条件としては、走査電極の電圧波形が正側のときをオン、負側のときをオフとし、表示データの1をオン、0をオフとして、同時に選択された走査電極のオン・オフと、その選択された走査電極上における印加すべき信号電極との交点の表示データの同位ビットのオン・オフとを各位毎に順に対比して、その不一致数に応じて所定の電圧を信号電極に印加する。

【0187】具体的には、本例においては走査電極と最上位ビットとの不一致数が0のときは $-V_{Y6}$ 、1のときは $-V_{Y4}$ 、2のときは $V_{Y4}$ 、3のときは $V_{Y6}$ をそれぞれ分割期間aとbで信号電極に印加し、走査電極と2番目のビットとの不一致数に対しては上記と同じ条件で同じ電圧を分割期間cで信号電極に印加する。また走査電極と3番目のビットとの不一致数が0のときは $-V_{Y3}$ 、1のときは $-V_{Y1}$ 、2のときは $V_{Y1}$ 、3のときは $V_{Y3}$ を分割期間d・eで信号電極に印加し、走査電極と最下位ビットとの不一致数に対しては上記と同じ条件で同じ電圧を分割期間fで信号電極に印加するものである。

【0188】そこで、図32においては、始めに3つの走査電極 $X_1 \cdot X_2 \cdot X_3$ が同時に選択され、その選択された走査電極 $X_1 \cdot X_2 \cdot X_3$ の走査電圧波形は順にオフ・オフ・オンで、その走査電極 $X_1 \cdot X_2 \cdot X_3$ 上における信号電極 $Y_1$ との交点の表示データの最上位ビットは順にオフ・オフ・オンであり、両者を順に対比すると不一致数は0となり、最初の期間 $t_1$ のうちの最初の分割期間a・bに $-V_{Y6}$ の電圧が信号電極 $Y_1$ に印加されている。

【0189】次に上位から2番目のビットはオフ・オン・オフで走査電極 $X_1 \cdot X_2 \cdot X_3$ のオフ・オフ・オンと対比して不一致数は2で $V_{Y4}$ の電圧が分割期間cに印可され、また2番目のビットはオン・オフ・オフで不一致数は2で $V_{Y1}$ が分割期間d・eに、さらに最下位のビットはオフ・オン・オフで不一致数は2で $V_{Y1}$ が印加されている。他の信号電極 $Y_2 \sim Y_6$ についても同様の要領で

重み付けした電圧が同時に印加される。

【0190】このようにして次の期間 $t_2 \sim t_4$ についても上記と同様の要領で不一致数に応じた信号電圧が全ての信号電極 $Y_1 \sim Y_6$ に同時に印可されて、走査電極 $X_1 \cdot X_2 \cdot X_3$ の選択が終了し、次いで走査電極 $X_4 \cdot X_5 \cdot X_6$ が選択されて上記と同様の要領で信号電極 $Y_1 \sim Y_6$ に所定の信号電圧が印加され、全ての走査電極が選択されたところで1つのフレームFが終了する。その後、再び始めの走査電極 $X_1 \cdot X_2 \cdot X_3$ から順に選択されて次のフレームが開始されるもので、そのとき走査電極に印加される電圧の正負は反転され、それに伴って信号電極に印加される電圧の正負も反転されて、いわゆる交流駆動がなされる。

【0191】上記のように信号電極への印加電圧の電圧値と時間とを適宜組み合わせることによって所望の階調表示を行うことができるもので、特に階調数の多い場合でも少ない電圧レベルで階調表示を行うことが可能となる。

【0192】なお前記実施の形態11において既に述べたように前記の電圧比は必ずしも厳密に前述の条件に設定しなくともよく、また期間 $t_1 \sim t_4$ や分割した期間a $\sim$ fも必ずしも厳密に等分に分割しなくともよい。また上記の分割した期間a $\sim$ fの順番を適宜入れ替えてもよい。

(実施の形態16) 上記実施の形態15においても実施の形態12と同様に選択期間を1フレームF内で複数回に分けて実行することができる。

【0193】図34はその一例を示すもので、上記図32における期間 $t_1 \sim t_4$ を前記実施の形態2と同様に1フレームF内で各々別々に4つに分けて各期間について全ての走査電極が選択されるまでを1フィールドfとして1フレームF内で4回繰り返すようにしたものである。

【0194】また図には省略したが、上記実施の形態15においても前記実施の形態14における図30や図31の場合と同様に表示データのビット毎もしくは更に細分化して駆動することもできる。

(実施の形態17) 上記実施の形態11 $\sim$ 16は信号電極に表示データのビットに対する重み付け、即ち信号電極に印加する電圧レベルを変えて階調表示を行うようにしたが、走査電極に重み付けをする、即ち走査電極に印加する電圧レベルを変えて階調表示を行うこともできる。

【0195】図35は走査電極に印加する電圧レベルを表示データのビットに応じて変えて実施の形態11と同様に前記図22の表示データに基づいて8階調の表示を行った実施の形態の印加電圧波形図である。

【0196】走査電極は実施の形態11の場合と同様に順次3本ずつ選択し、各走査電極には表示データの上位ビットに対しては $V_{Y4}$ または $-V_{Y4}$ を、中央ビットに対

しては $V_{12}$ または $-V_{12}$ を、下位ビットに対しては $V_{11}$ または $-V_{11}$ を、それぞれ印加するようにしたもので、 $V_{11} : V_{12} : V_{14}$ は1 : 2 : 4の関係に設定されている。

【0197】一方、信号電極 $Y_1$ …には、走査電極 $X_1 \cdot X_2 \cdot X_3$ のオン・オフと表示データのオン・オフとを各ビット毎に対比して不一致数が、0のときは $-V_{13}$ を、1のときは $-V_{11}$ を、2のときは $V_{11}$ を、3のときは $V_{13}$ を、それぞれ印加するようにしたもので、 $V_{11} : V_{13}$ は1 : 3の関係に設定されている。

【0198】前記実施の形態11のように信号電極側の電圧レベルを増やす代わりに、本実施の形態のように走査電極側の電圧レベルを増やすようにすると、信号電極に印加する電圧のレベル数を大幅に減らすことができ、信号電極側のドライバの回路構成を簡略化できる等の利点がある。

(実施の形態18) 上記実施の形態17においても実施の形態12と同様に選択期間を1フレームF内で複数回に分けて実行することができる。図36、図37、図38はその一例を示す。

【0199】図36は上記図35における期間 $t_1 \sim t_4$ を前記実施の形態12と同様に1フレームF内で各々別々に4つに分けて各期間について全ての走査電極が選択されるまでを1フィールド $f$ として1フレームF内で4回繰り返すようにしたものである。

【0200】図37は表示データのビット毎に、すなわち前記実施の形態における4つの期間 $t_1 \sim t_4$ のうちの分割期間毎にまとめて実行するようにしたものである。

【0201】すなわち上記図35における4つの期間 $t_1 \sim t_4$ 内の始めの分割期間 $a$ を順にひとまとめにして全ての走査電極が選択されるまでを1つのフィールド $f_1$ とし、同様にして他の分割期間 $b$ に対してのフィールド $f_2$ および分割期間 $c$ に対してのフィールド $f_3$ が終わるまでを、1フレームとしたものである。なお走査電極への印加電圧は1フィールド毎に正負反転させ、それに合わせて信号電極への印加電圧も反転させている。

【0202】図38は更に細分化して分割期間 $a \cdot b \cdot c$ 毎に全ての走査電極を順次選択して駆動するようにしたものである。

【0203】上記のように1フレーム内で複数回に分けて駆動することによって実施の形態12と同様の効果が得られる。

(実施の形態19) 前記実施の形態17においても実施の形態13と同様に選択期間の分割数を増やして印加電圧レベル数を少なくすることができる。

【0204】図39はその一例を示すもので、前記図35における各期間 $t_1 \sim t_4$ を前記図28と同様に1フレームF内で4つに分けて始めの2つの分割期間を上位ビットに対する印加時間に、他の分割期間をそれぞれ中間ビットおよび下位ビットに対する印加時間としたもので

ある。なお本実施の形態において印加電圧の関係は、 $V_{11} : V_{12} = 1 : 2$ 、 $V_{11} : V_{13} = 1 : 3$ に設定されている。

(実施の形態20) 上記実施の形態19においても選択期間を1フレームF内で複数回に分けて実行することができる。図40、図41、図42はその一例を示すものである。

【0205】図40は上記図39における各期間 $t_1 \sim t_4$ を前記図25と同様に1フレームF内で4回に分けて各期間毎に全ての走査電極が選択されるまでを1フィールド $f$ として1フレームF内で4回繰り返すようにしたものである。

【0206】図41は前記実施の形態における4つの期間 $t_1 \sim t_4$ のうちの分割期間毎にまとめて実行するようにしたもので、図39における4つの期間 $t_1 \sim t_4$ 内の分割期間 $a \cdot a$ のうちの始めの分割期間 $a$ を順にひとまとめにして全ての走査電極が選択されるまでを1つのフィールド $f_1$ とし、同様にして次の分割期間 $a$ に対してのフィールド $f_2$ と、分割期間 $b$ に対してのフィールド $f_3$ 、および分割期間 $c$ に対してのフィールド $f_4$ が終わるまでを1フレームとしたものである。なお走査電極への印加電圧は1フィールド毎に正負反転させ、それに合わせて信号電極への印加電圧も反転させている。

【0207】図42は上記図41の選択期間を更に細分化して分割期間毎に全ての走査電極を順次選択して駆動するようにしたものである。

【0208】上記のように1フレーム内で複数回に分けて駆動することによって実施の形態12と同様の効果が待られる。

(実施の形態21) 前記実施の形態15のように電極への印加電圧の電圧値と印加時間とを適宜組み合わせることによって所望の階調表示を行う場合においても前記実施の形態16と同様に信号電極側の電圧レベルを増やす代わりに走査電極側の電圧レベルを増やすことによって実施の形態15と同様に駆動させることができる。

【0209】図43はその一例を示す。本例は走査電極への印加電圧レベルとして、前記図13における表示データの上位2つのビットに対しては $V_{14}$ または $-V_{14}$ を、また下位2つのビットに対しては $V_{11}$ または $-V_{11}$ を、それぞれ用いるようにしたもので、 $V_{11} : V_{14}$ は1 : 4の関係に設定されている。

【0210】一方、信号電極 $Y_1$ …には、走査電極 $X_1 \cdot X_2 \cdot X_3$ のオン・オフと表示データのオン・オフとを各ビット毎に対比して不一致数が、0のときは $-V_{13}$ を、1のときは $-V_{11}$ を、2のときは $V_{11}$ を、3のときは $V_{13}$ を、それぞれ印加するようにしたもので、 $V_{11} : V_{13}$ は1 : 3の関係に設定されている。

(実施の形態22) 上記実施の形態21においても選択期間を1フレームF内で複数回に分けて実行することができる。

【0211】図44はその一例を示すもので、上記図41における各期間 $t_1 \sim t_8$ を前記図24と同様に1フレームF内で4回に分けて各期間毎に全ての走査電極が選択されるまでを1フィールドfとして1フレームF内で4回繰り返すようにしたものである。本例においても、前記実施の形態と同様に更に細分化して駆動させることができる。

【0212】また図には省略したが、上記実施の形態21においても前記実施の形態20における図41や図42の場合と同様に表示データのビット毎もしくは更に細分化して駆動することもできる。

【0213】なお以上の各実施の形態は走査電極を同時に3本ずつ選択する場合を例にして説明したが、前述の考え方に準じて同様の要領で走査電極を2本もしくは4本以上同時に選択して所望の階調数の階調表示を行わせることができる。例えば6本の走査電極を同時に選択する場合の一例を示すと、1フレーム期間の間に $t_1 \sim t_8$ の8つに区分した選択期間を設け、同時に選択される6つの走査電極 $X_1 \sim X_6$ の各選択期間 $t_1 \sim t_8$ に下記表のような電圧を印加する。

【0214】

【表5】

	$t_1$	$t_2$	$t_3$	$t_4$	$t_5$	$t_6$	$t_7$	$t_8$
$X_1$	$V_{x1}$	$V_{x1}$	$V_{x1}$	$V_{x1}$	$-V_{x1}$	$-V_{x1}$	$-V_{x1}$	$-V_{x1}$
$X_2$	$V_{x1}$	$V_{x1}$	$-V_{x1}$	$-V_{x1}$	$-V_{x1}$	$-V_{x1}$	$V_{x1}$	$V_{x1}$
$X_3$	$V_{x1}$	$V_{x1}$	$-V_{x1}$	$-V_{x1}$	$V_{x1}$	$V_{x1}$	$-V_{x1}$	$-V_{x1}$
$X_4$	$V_{x1}$	$-V_{x1}$	$-V_{x1}$	$V_{x1}$	$V_{x1}$	$-V_{x1}$	$-V_{x1}$	$V_{x1}$
$X_5$	$V_{x1}$	$-V_{x1}$	$-V_{x1}$	$V_{x1}$	$-V_{x1}$	$V_{x1}$	$V_{x1}$	$-V_{x1}$
$X_6$	$V_{x1}$	$-V_{x1}$	$V_{x1}$	$-V_{x1}$	$-V_{x1}$	$V_{x1}$	$-V_{x1}$	$V_{x1}$

なお非選択期間には0ボルトを印加する。上記のようにして各走査電極 $X_1 \sim X_6$ に所定の走査電圧を印加して行き、それと同時に各信号電極には前記の各実施の形態と同様の要領で所定の信号電圧を印加すればよい。

【0215】さらに走査電極に印加する電圧の波形も前記各実施の形態に限らず、例えば図48の(a)・

(b)もしくは図3の(a)・(b)のいずれかに変更したり、あるいはそれ等のパルス波形を適宜選択し、もしくは配列順序を適宜入れ替えて使用してもよく、同時に選択される走査電極への印加波形が互いに混同することなく区別して駆動することができればよい。

【0216】また前述のように順次複数本の走査電極を同時に選択し、かつその選択期間を1フレームの中で複数回に分けて駆動することは、MIM素子等の非線形素子を使った液晶素子等を駆動する場合にも適用できる。以上説明したように上記実施の形態による液晶素子等の駆動方法および表示装置は、順次複数本の走査電極を同時に選択し、かつ1選択期間をを複数の期間に分割し、その各分割した選択期間に、所望の表示データに応じて重み付けをした電圧を印加して階調表示を行うようにしたから、画素に選択電圧が印加されない時間が長くなってコントラストが低下したり、繰り返し周期が長くなってチラツキを生じたり、あるいは印加電圧波形のなまりによるクロストークの発生等が防止され、良好に階調表示を行うことができる。また階調数のわりに印加電圧レベル数を少なくすることが可能であり、ドライバ等の駆動手段を構造簡単に構成できるとともに、信頼性および表示性能に優れた液晶素子等の駆動方法および表示装置を

提供できる等の効果がある。

【図面の簡単な説明】

【図1】本発明による液晶素子等の駆動方法の一実施の形態を示す印加電圧波形図。

【図2】液晶素子等の概略構成および表示データを示す説明図。

【図3】走査電極に印加する走査電圧波形の説明図。

【図4】駆動回路の一実施の形態を示すブロック図。

【図5】走査電極ドライバのブロック図。

【図6】信号電極ドライバのブロック図。

【図7】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図8】仮想電極を用いて駆動する場合の要領および表示データの説明図。

【図9】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図10】パルス幅変調による階調表示の説明図。

【図11】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図12】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図13】仮想電極の配置構成および表示データの説明図。

【図14】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図15】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図16】仮想電極の配置構成および表示データの説明

図。

【図 17】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図 18】仮想電極の配置構成および表示データの説明図。

【図 19】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図 20】本発明による液晶素子等の駆動方法の他の実施の形態を示す信号電極への印加電圧波形の説明図。

【図 21】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図 22】電極の配置構成および表示データの説明図。

【図 23】上記実施の形態における信号電極への印加電圧波形図。

【図 24】上記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した実施の形態の印加電圧波形図。

【図 25】上記実施の形態における信号電極への印加電圧波形図。

【図 26】前記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した他の例の印加電圧波形図。

【図 27】前記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した他の例の印加電圧波形図。

【図 28】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図 29】上記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した実施の形態の印加電圧波形図。

【図 30】前記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した他の例の印加電圧波形図。

【図 31】前記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した他の例の印加電圧波形図。

【図 32】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

施の形態を示す印加電圧波形図。

【図 33】電極の配置構成および表示データの説明図。

【図 34】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

05 【図 35】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図 36】上記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した実施の形態の印加電圧波形図。

10 【図 37】前記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した他の例の印加電圧波形図。

【図 38】前記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した他の例の印加電圧波形図。

15 【図 39】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図 40】上記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した実施の形態の印加電圧波形図。

20 【図 41】前記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した他の例の印加電圧波形図。

【図 42】前記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した他の例の印加電圧波形図。

25 【図 43】本発明による液晶素子等の駆動方法の他の実施の形態を示す印加電圧波形図。

【図 44】上記実施の形態における選択期間を 1 フレーム内で複数回に分けて駆動した実施の形態の印加電圧波形図。

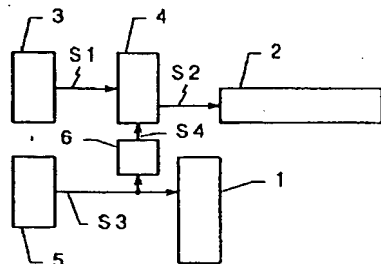
30 【図 45】従来の液晶素子等の駆動方法の一例を示す印加電圧波形図。

【図 46】表示パターンの説明図。

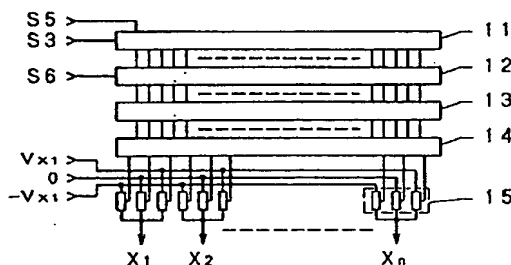
35 【図 47】従来の液晶素子等の駆動方法の他の例を示す印可電圧波形図。

【図 48】走査電極への印加電圧波形の説明図。

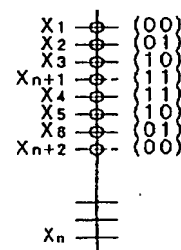
【図 4】



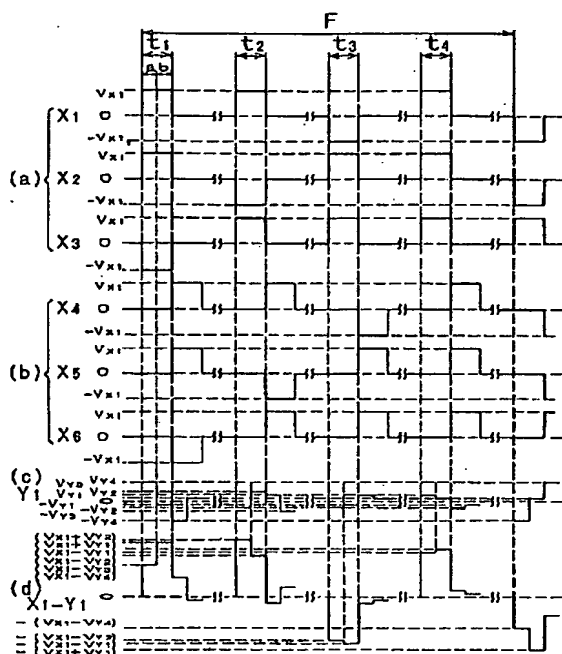
【図 5】



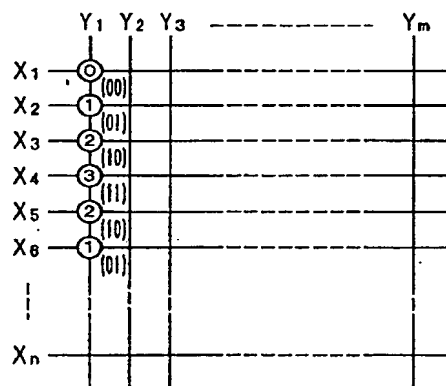
【図 8】



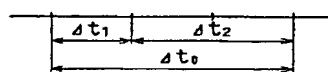
【図1】



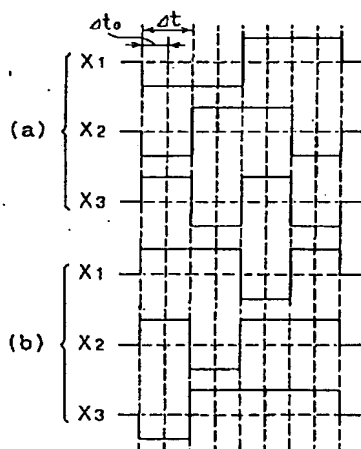
【図2】



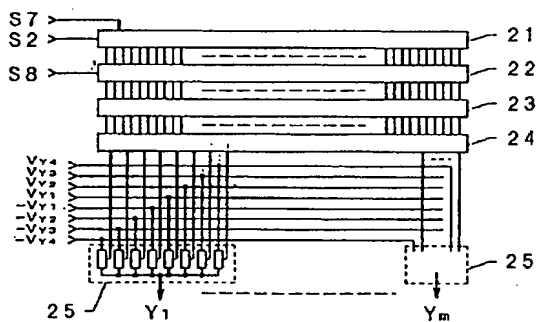
【図10】



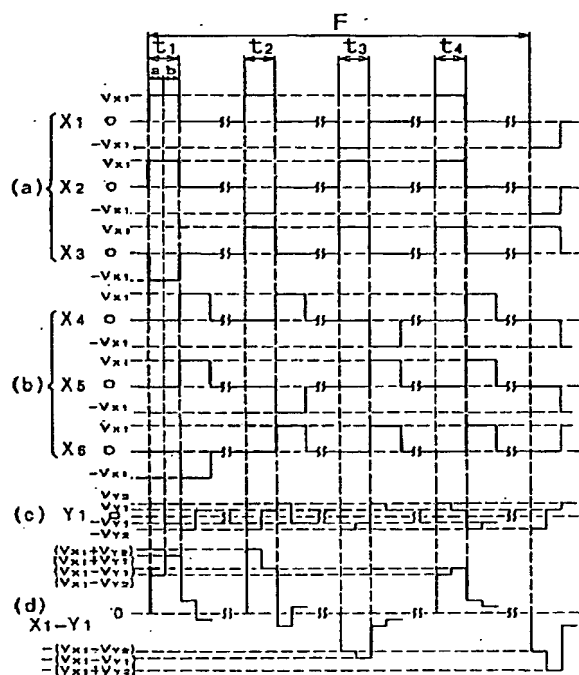
【図3】



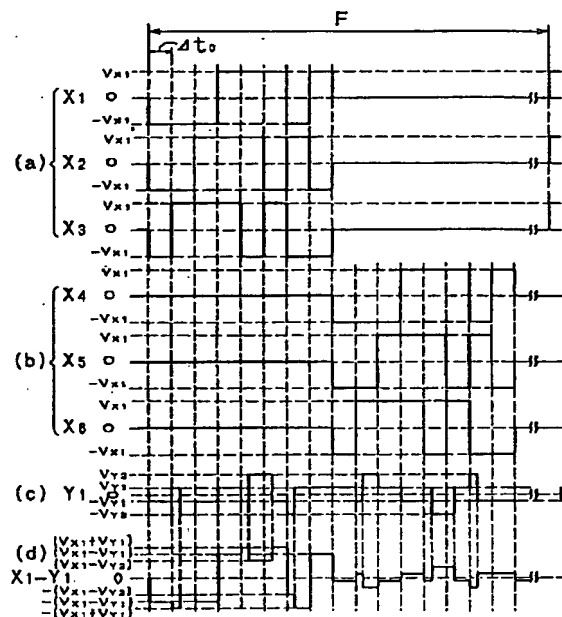
【図6】



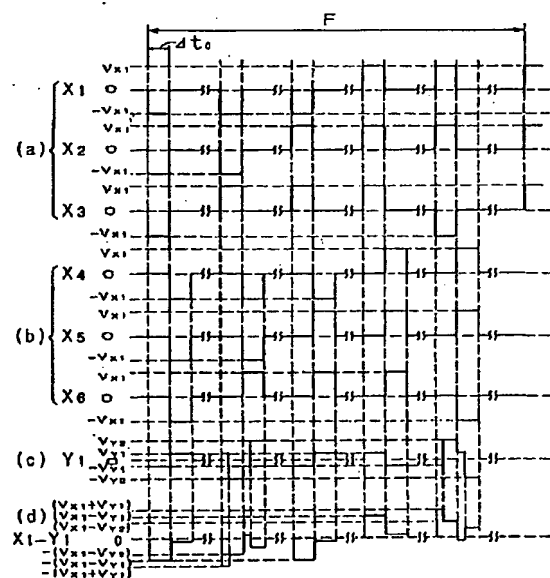
【図7】



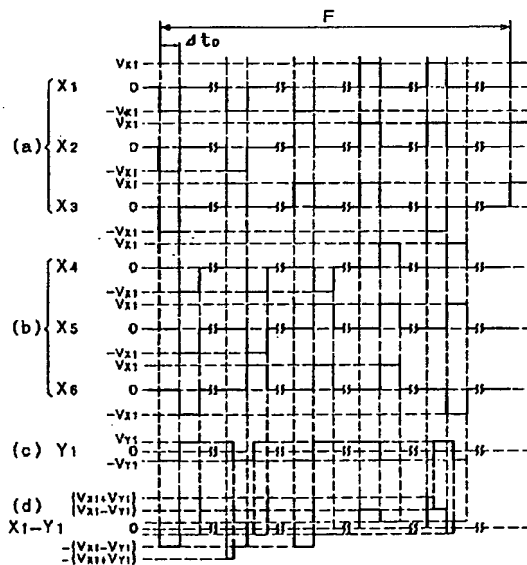
【図9】



【図11】

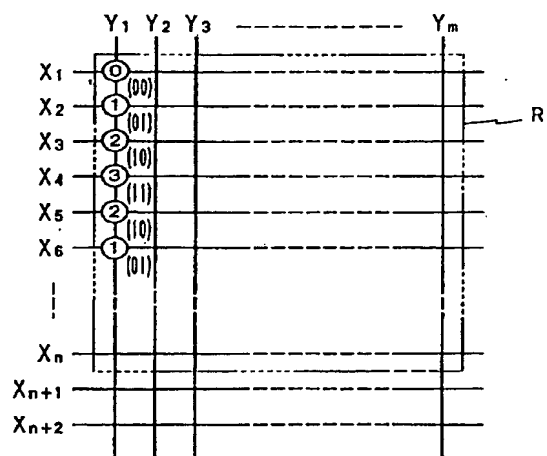


【図12】

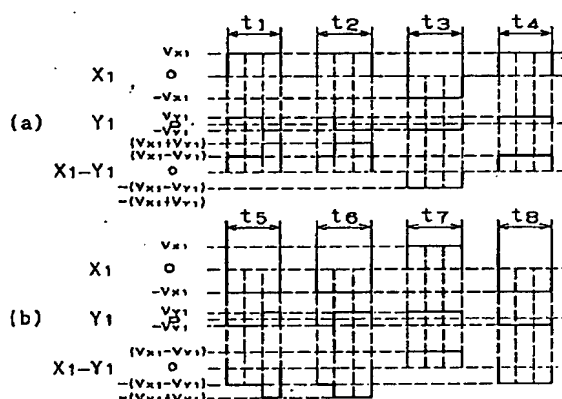




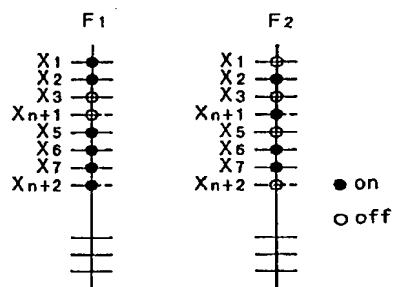
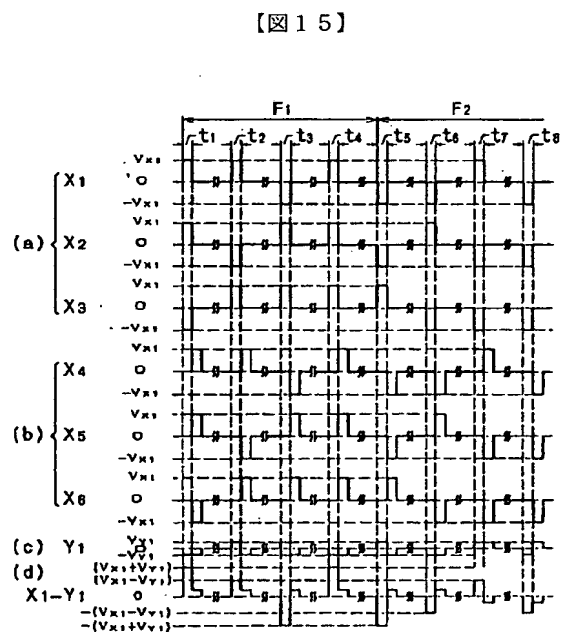
【図 13】



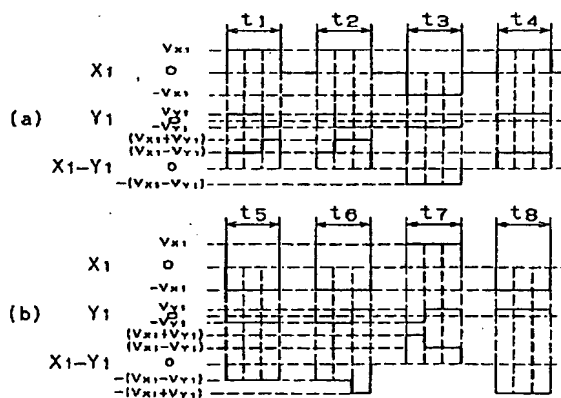
【図 14】



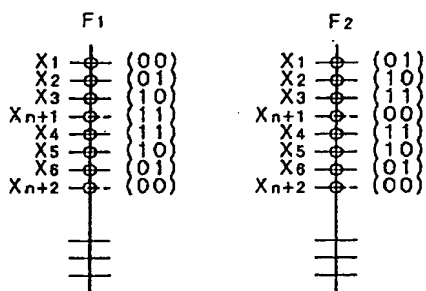
【図 16】



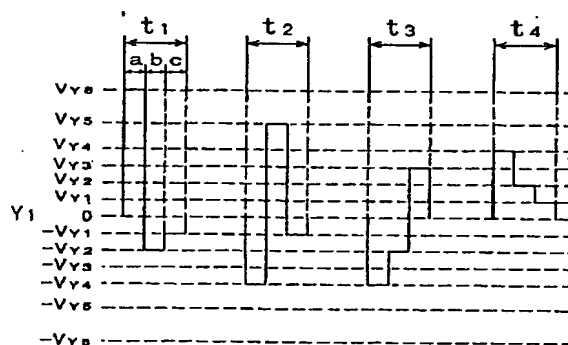
【図 17】



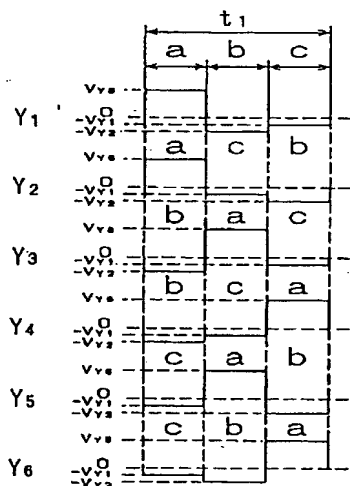
【図18】



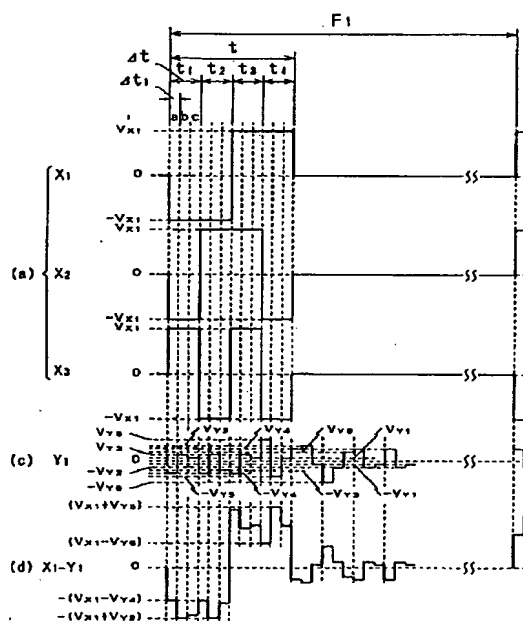
【図19】



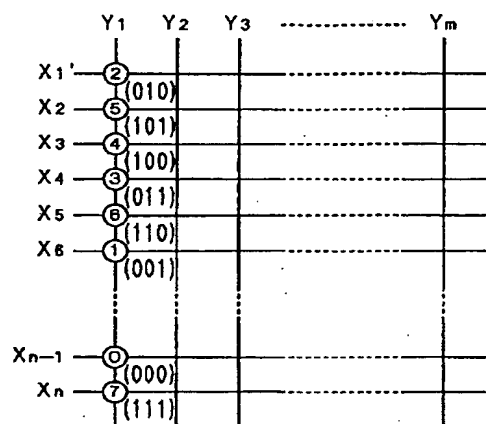
【図20】



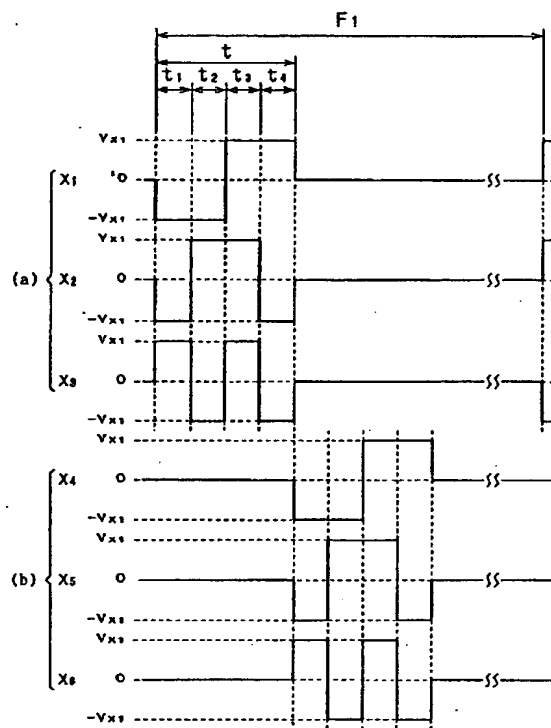
【図21】



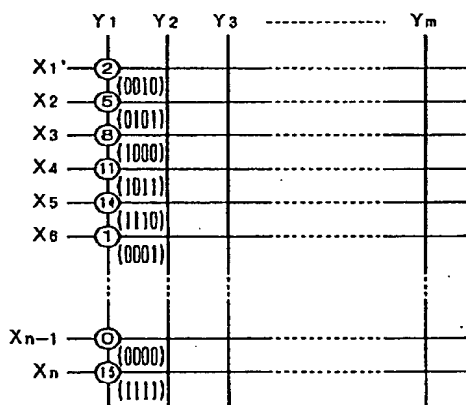
【図 22】



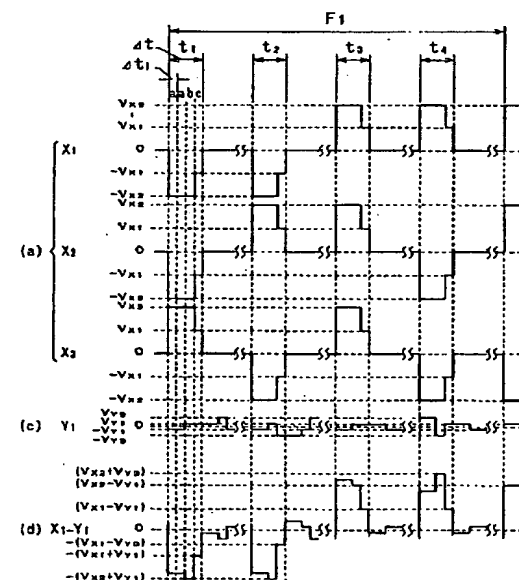
【図 23】



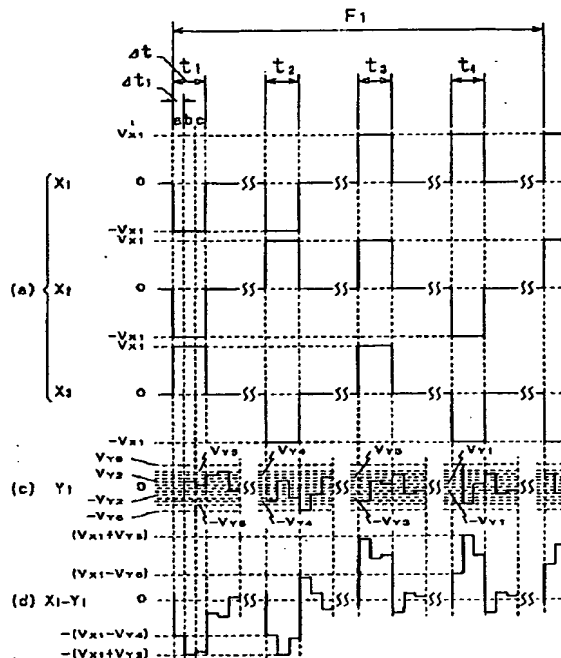
【図 33】



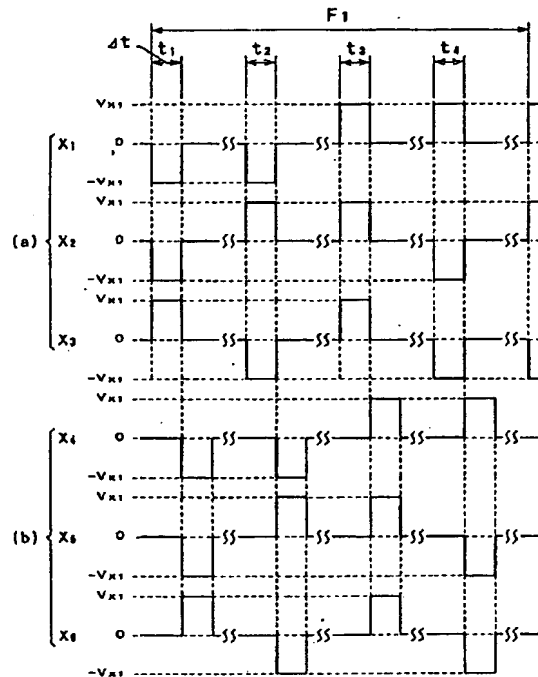
【図 40】



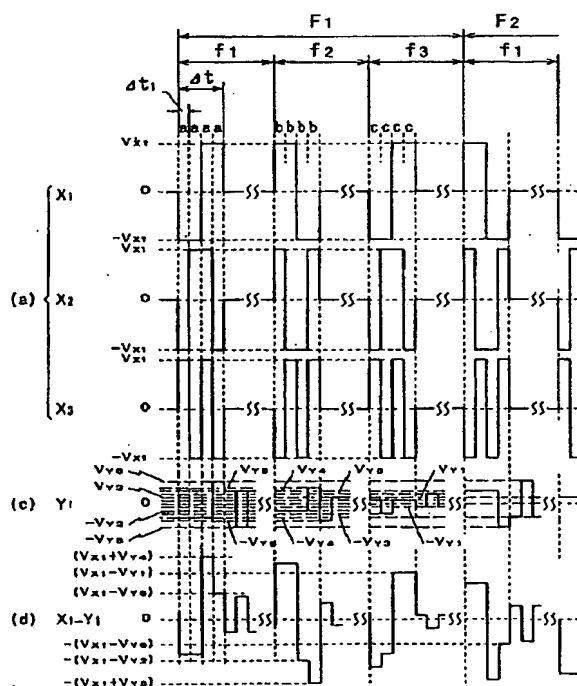
【図24】



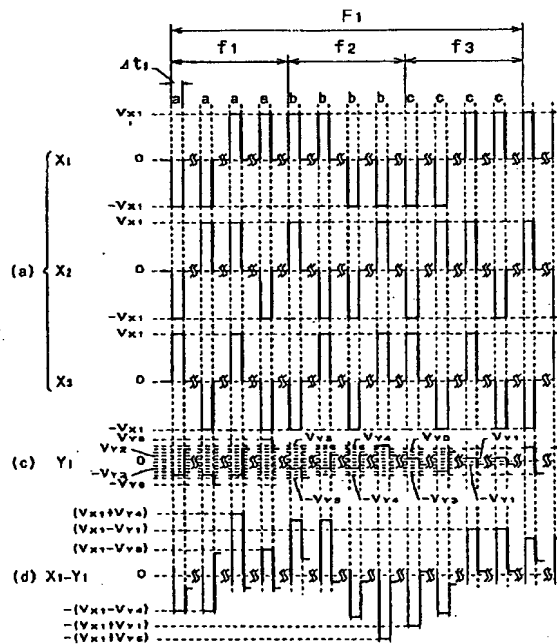
【図25】



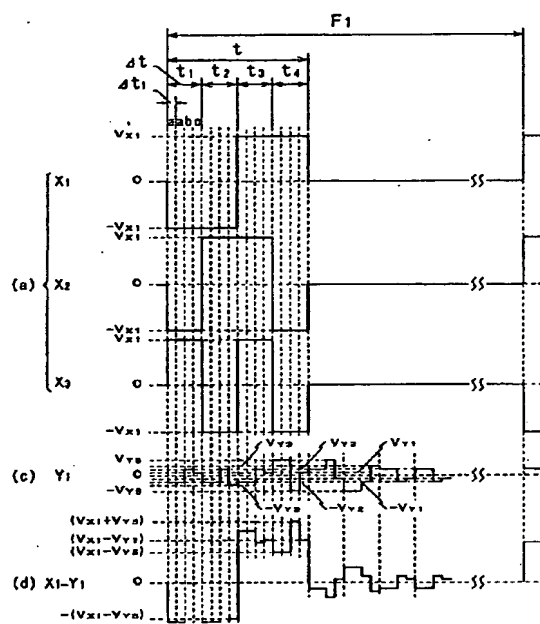
【図26】



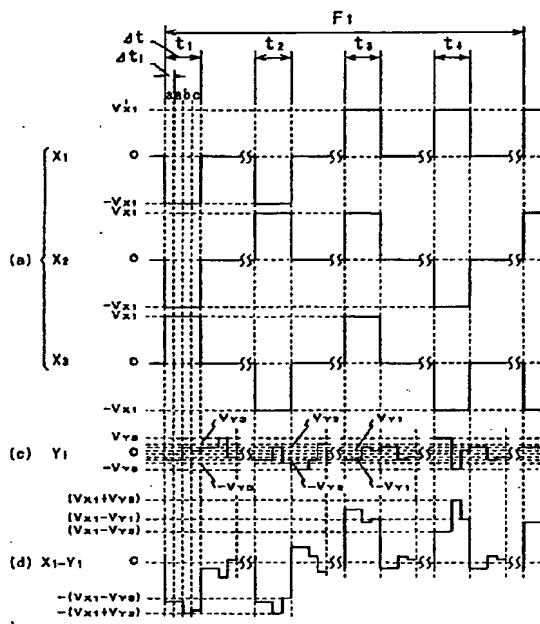
【図27】



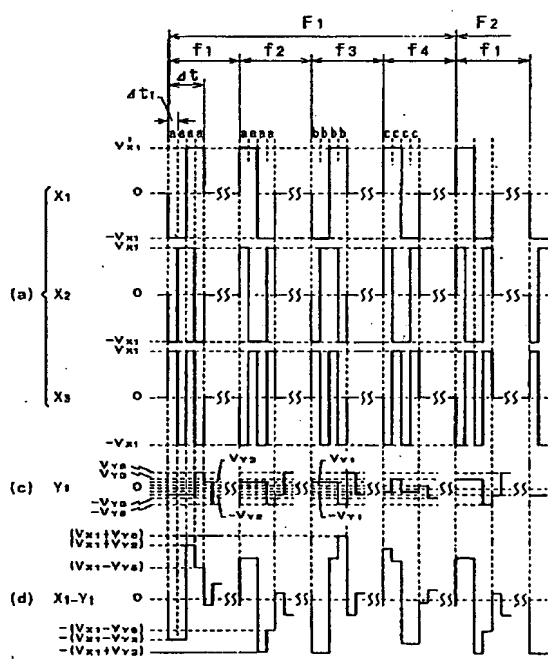
【図28】



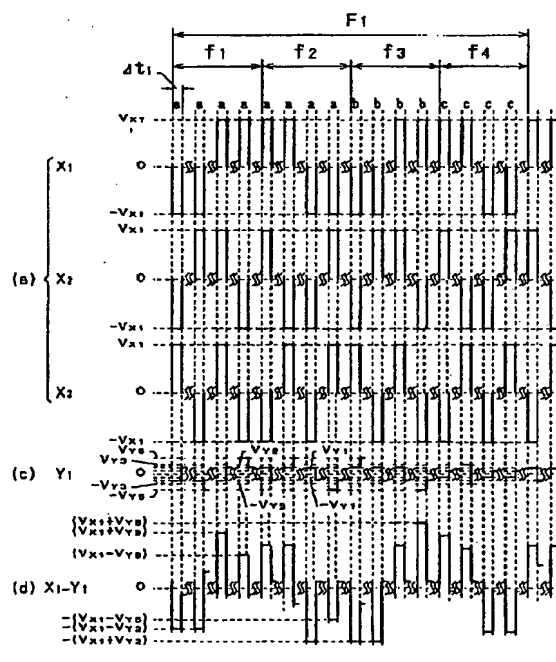
【図29】



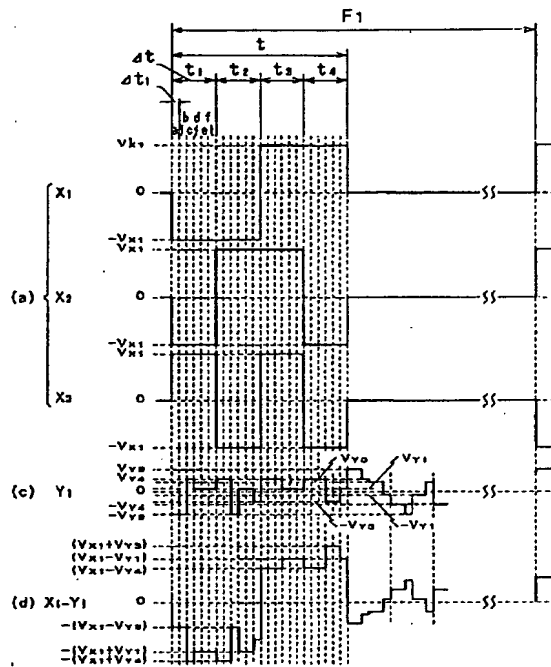
【図30】



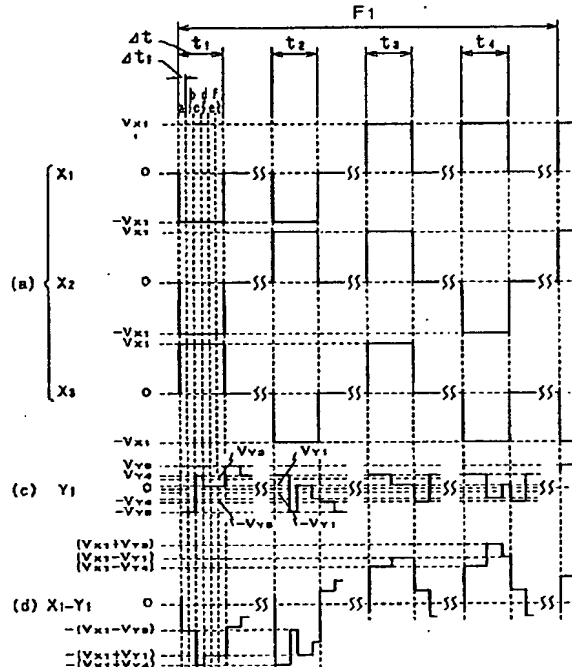
【図31】



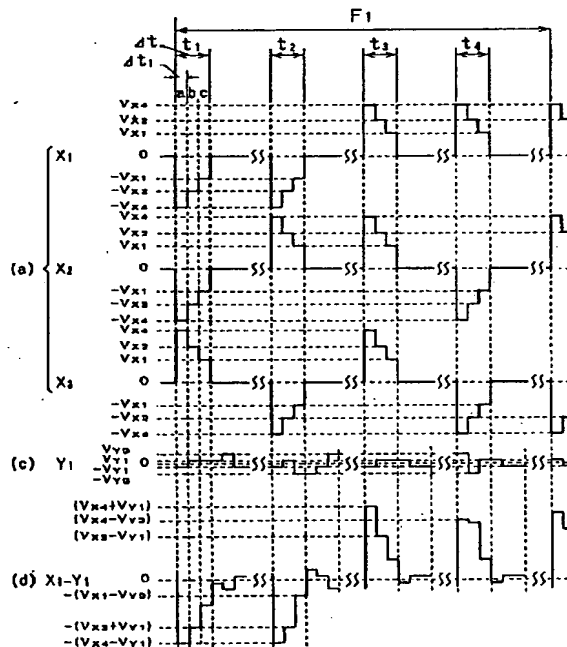
【図32】



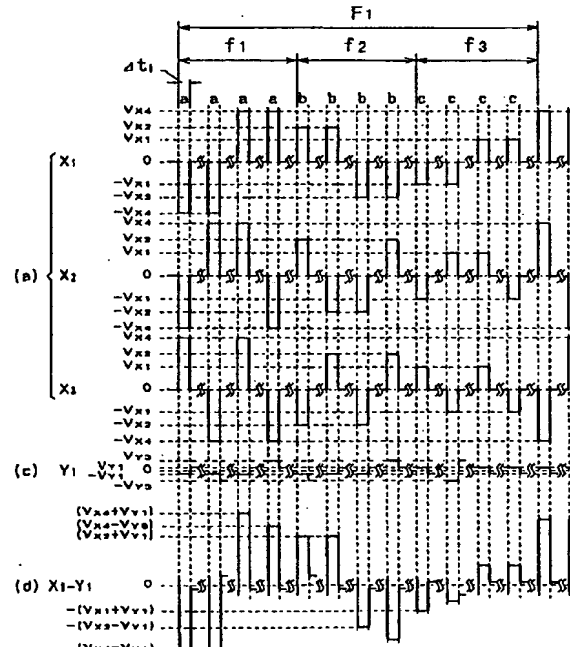
【図34】



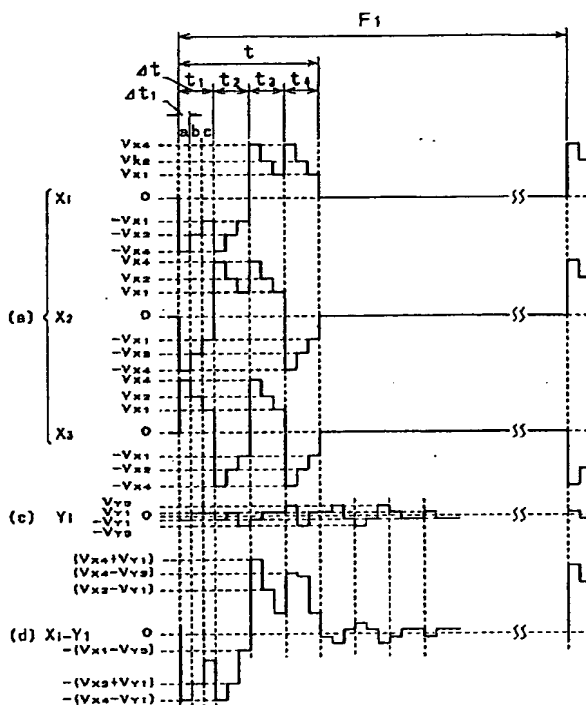
【図36】



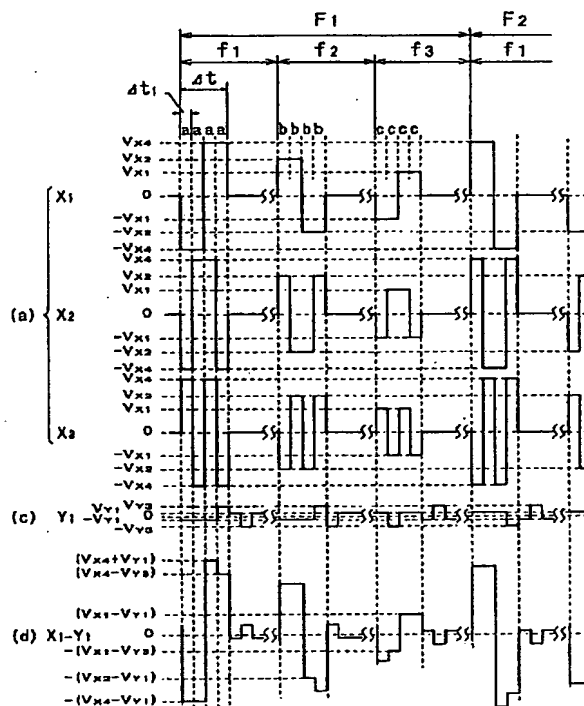
【図38】



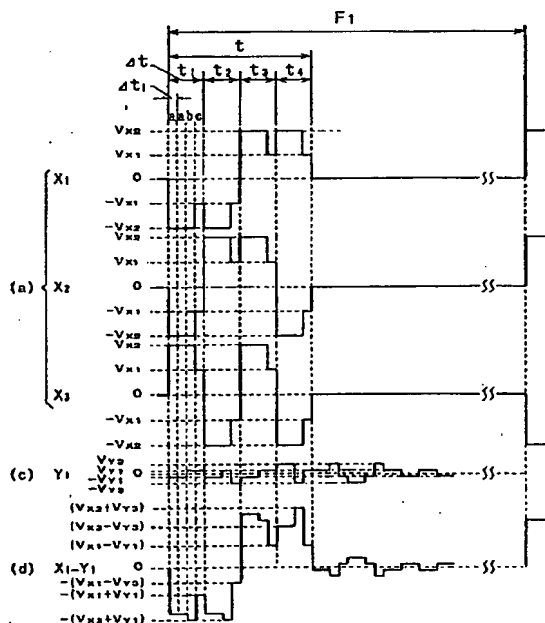
【図35】



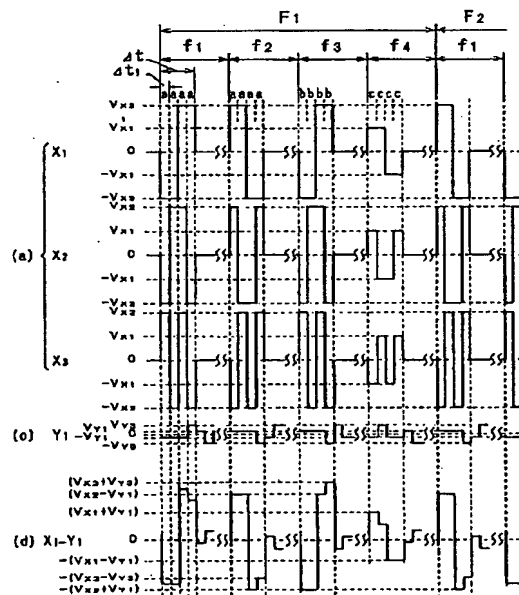
【図37】



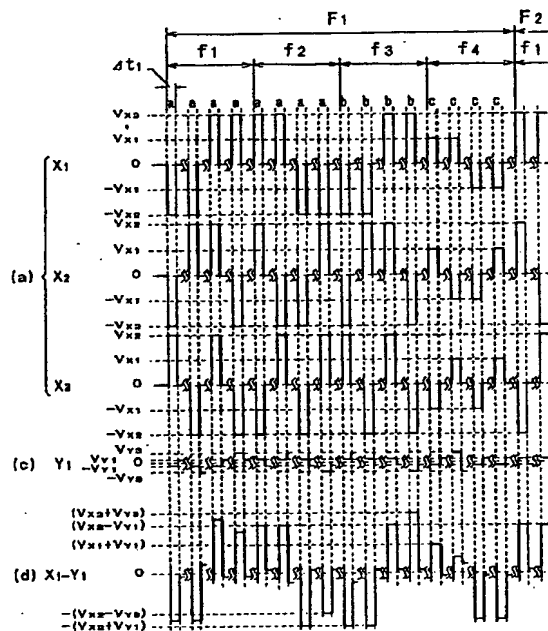
【図39】



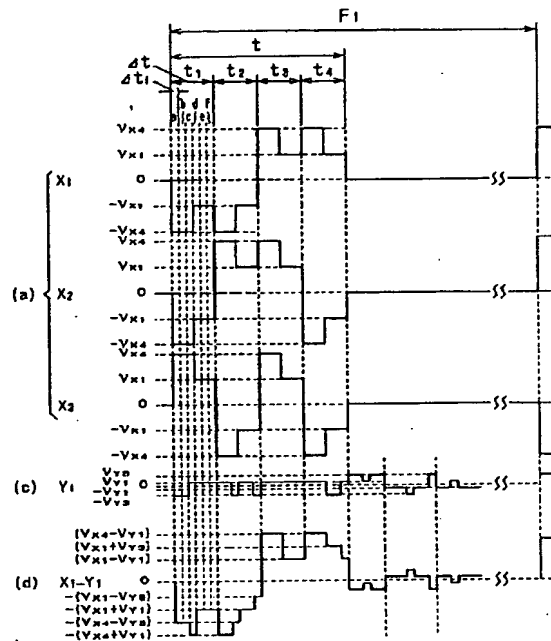
【図41】



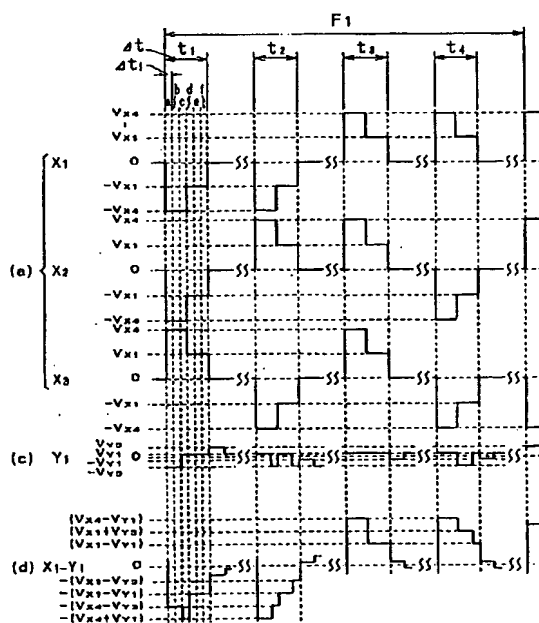
【図 42】



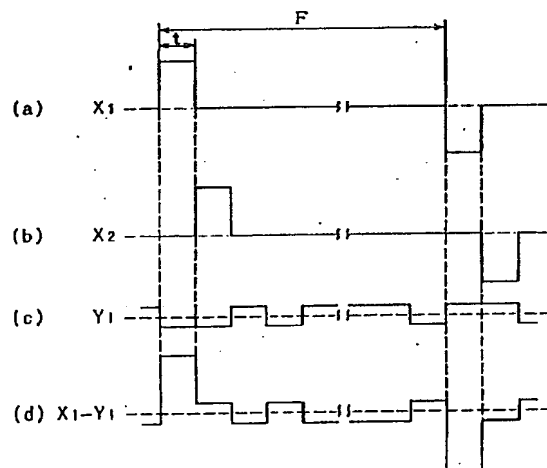
【図 43】



【図 44】

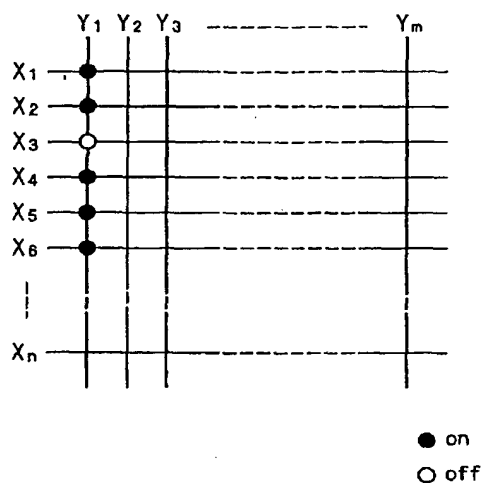


【図 45】

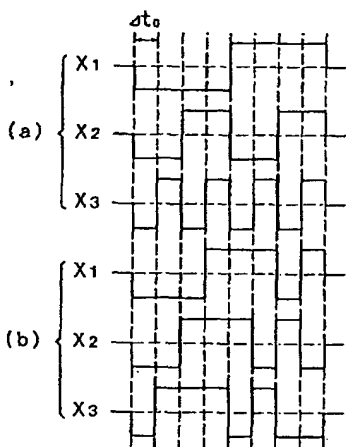




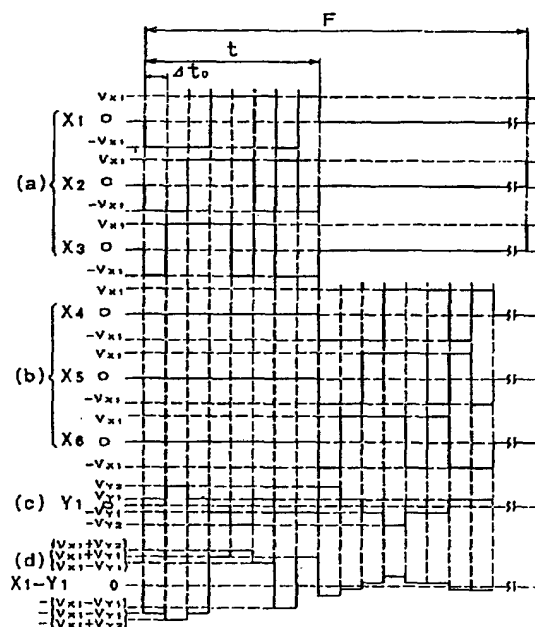
【図46】



【図48】



【図47】



【手続補正書】

【提出日】平成12年6月9日(2000.6.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】液晶装置の駆動方法、駆動回路及び表示装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

- 45 【請求項1】 複数の走査電極及び前記複数の走査電極に交差する複数の信号電極と、前記各走査電極と前記各データ電極との間に挟持された液晶とを備える液晶装置の駆動方法において、  
複数の前記走査電極をh本毎にサブグループにわけ、該  
50 サブグループ内の走査電極を同時に選択し、

前記走査電極を選択する選択電圧は、第1の選択値と第2の選択値を有し、

選択期間を複数の期間に区分し、区分されたそれぞれの期間に、前記第1の選択値または前記第2の選択値の選択電圧を、前記同時に選択される走査電極に印加し、表示すべきデータを複数のビットで表わし、前記区分した選択期間を不等間隔に細分化し、前記ビットの位に応じて細分化された選択期間を割り当て、ビット毎の表示データ及び選択電圧に応じた信号電圧を印加して階調表示を行うことを特徴とする液晶装置の駆動方法。

【請求項2】 記サブグループ内の走査電極として仮想走査電極を加え、

該仮想走査電極を加えない場合と比べて、前記信号電極に印加する電圧レベル数が少なくなるよう仮想走査電極上のデータ電圧値を設定することを特徴とする請求項1記載の液晶装置の駆動方法。

【請求項3】 所定の期間毎に、前記h本単位で印加する選択電圧の組み合わせを変更することを特徴とする請求項1または2記載の液晶装置の駆動方法。

【請求項4】 フレーム毎に、選択電圧の組み合わせを変更することを特徴とする請求項1または2記載の液晶装置の駆動方法。

【請求項5】 前記選択期間を1フレーム内に連続的に設けることを特徴とする請求項1乃至4いずれか記載の液晶装置の駆動方法。

【請求項6】 前記選択期間を1フレーム内で、複数回に分けて設けることを特徴とする請求項1乃至4いずれか記載の液晶装置の駆動方法。

【請求項7】 前記階調表示をさらにフレーム変調を組み合わせて行うことを特徴とする請求項1乃至6いずれか記載の液晶装置の駆動方法。

【請求項8】 前記走査電極への印加電圧波形は、直交関数系の中から選択されることを特徴とする請求項1乃至7いずれか記載の液晶装置の駆動方法。

【請求項9】 複数の走査電極及び前記複数の走査電極に交差する複数の信号電極と、前記各走査電極と前記各データ電極との間に挟持された液晶とを備える表示装置において、

複数の前記走査電極をh本毎にサブグループにわけ、該サブグループ内の走査電極が同時に選択され、

前記走査電極を選択する選択電圧は、第1の選択値と第2の選択値を有し、

選択期間を複数の期間に区分し、区分されたそれぞれの期間に、前記第1の選択値または前記第2の選択値の選択電圧が、前記同時に選択される走査電極に印加され、表示すべきデータを複数のビットで表わし、前記区分した選択期間を不等間隔に細分化し、前記ビットの位に応じて細分化された選択期間を割り当て、ビット毎の表示データ及び選択電圧に応じた信号電圧が印加されることにより階調表示を行うことを特徴とする表示装置。

【請求項10】 記サブグループ内の走査電極として仮想走査電極を加えられ、該仮想走査電極を加えない場合と比べて、前記信号電極に印加する電圧レベル数が少なくなるよう仮想走査電極上のデータ電圧値を設定されてなることを特徴とする請求項9記載の表示装置。

【請求項11】 所定の期間毎に、前記h本単位で印加する選択電圧の組み合わせを変更されることを特徴とする請求項9または10記載の表示装置。

【請求項12】 フレーム毎に、選択電圧の組み合わせを変更されてなることを特徴とする請求項9または10記載の表示装置。

【請求項13】 前記選択期間を1フレーム内に連続的に設けられることを特徴とする請求項9乃至12いずれか記載の表示装置。

【請求項14】 前記選択期間を1フレーム内で、複数回に分けて設けられることを特徴とする請求項9乃至12いずれか記載の表示装置。

【請求項15】 前記階調表示をさらにフレーム変調を組み合わせて行われることを特徴とする請求項9乃至14いずれか記載の表示装置。

【請求項16】 前記走査電極への印加電圧波形は、直交関数系の中から選択されることを特徴とする請求項9乃至15いずれか記載の表示装置。

【請求項17】 複数の走査電極及び前記複数の走査電極に交差する複数の信号電極と、前記各走査電極と前記各データ電極との間に挟持された液晶とを備える液晶装置の駆動回路において、

複数の前記走査電極をh本毎にサブグループにわけ、該サブグループ内の走査電極を同時に選択し、

前記走査電極を選択する選択電圧は、第1の選択値と第2の選択値を有し、

選択期間を複数の期間に区分し、区分されたそれぞれの期間に、前記第1の選択値または前記第2の選択値の選択電圧を、前記同時に選択される走査電極に印加し、

表示すべきデータを複数のビットで表わし、前記区分した選択期間を不等間隔に細分化し、前記ビットの位に応じて細分化された選択期間を割り当て、ビット毎の表示データ及び選択電圧に応じた信号電圧を印加して階調表示を行うことを特徴とする液晶装置の駆動回路。

【請求項18】 記サブグループ内の走査電極として仮想走査電極を加え、

該仮想走査電極を加えない場合と比べて、前記信号電極に印加する電圧レベル数が少なくなるよう仮想走査電極上のデータ電圧値を設定することを特徴とする請求項17記載の液晶装置の駆動回路。

【請求項19】 所定の期間毎に、前記h本単位で印加する選択電圧の組み合わせを変更することを特徴とする請求項17または18記載の液晶装置の駆動回路。

【請求項20】 フレーム毎に、選択電圧の組み合わせを変更することを特徴とする請求項17または18記載

の液晶装置の駆動回路。

【請求項 2 1】 前記選択期間を 1 フレーム内に連続的に設けることを特徴とする請求項 1 7 乃至 2 0 いずれか記載の液晶装置の駆動回路。

【請求項 2 2】 前記選択期間を 1 フレーム内で、複数回に分けて設けることを特徴とする請求項 1 7 乃至 2 0 いずれか記載の液晶装置の駆動回路。

【請求項 2 3】 前記階調表示をさらにフレーム変調を組み合わせることを特徴とする請求項 1 7 乃至 2 2 いずれか記載の液晶装置の駆動回路。

【請求項 2 4】 前記走査電極への印加電圧波形は、直交関数系の中から選択されることを特徴とする請求項 1 7 乃至 2 3 いずれか記載の液晶装置の駆動回路。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】

【課題を解決するための手段】本発明の液晶装置の駆動方法は、複数の走査電極及び前記複数の走査電極に交差する複数の信号電極と、前記各走査電極と前記各データ電極との間に挟持された液晶とを備える液晶装置の駆動方法において、複数の前記走査電極を h 本毎にサブグループにわけ、該サブグループ内の走査電極を同時に選択し、前記走査電極を選択する選択電圧は、第 1 の選択値と第 2 の選択値を有し、選択期間を複数の期間に区分し、区分されたそれぞれの期間に、前記第 1 の選択値または前記第 2 の選択値の選択電圧を、前記同時に選択される走査電極に印加し、表示すべきデータを複数のビットで表わし、前記区分した選択期間を不等間隔に細分化し、前記ビットの位に応じて細分化された選択期間を割り当て、ビット毎の表示データ及び選択電圧に応じた信号電圧を印加して階調表示を行うことを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】上記のような駆動方法を採用することによって、順次複数本の走査電極を同時に選択してマルチプレクス駆動する場合にも、良好な階調表示を行わせることが可能となる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】本発明の液晶装置の駆動方法は、複数の走査電極及び前記複数の走査電極に交差する複数の信号電極と、前記各走査電極と前記各データ電極との間に挟持された液晶とを備える液晶装置の駆動回路において、複数の前記走査電極を h 本毎にサブグループにわけ、該サブグループ内の走査電極を同時に選択し、前記走査電極を選択する選択電圧は、第 1 の選択値と第 2 の選択値を有し、選択期間を複数の期間に区分し、区分されたそれぞれの期間に、前記第 1 の選択値または前記第 2 の選択値の選択電圧を、前記同時に選択される走査電極に印加し、表示すべきデータを複数のビットで表わし、前記区分した選択期間を不等間隔に細分化し、前記ビットの位に応じて細分化された選択期間を割り当て、ビット毎の表示データ及び選択電圧に応じた信号電圧を印加して階調表示を行うことを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】本発明の表示装置は、複数の走査電極及び前記複数の走査電極に交差する複数の信号電極と、前記各走査電極と前記各データ電極との間に挟持された液晶とを備える表示装置において、複数の前記走査電極を h 本毎にサブグループにわけ、該サブグループ内の走査電極が同時に選択され、前記走査電極を選択する選択電圧は、第 1 の選択値と第 2 の選択値を有し、選択期間を複数の期間に区分し、区分されたそれぞれの期間に、前記第 1 の選択値または前記第 2 の選択値の選択電圧が、前記同時に選択される走査電極に印加され、表示すべきデータを複数のビットで表わし、前記区分した選択期間を不等間隔に細分化し、前記ビットの位に応じて細分化された選択期間を割り当て、ビット毎の表示データ及び選択電圧に応じた信号電圧が印加されることにより階調表示を行うことを特徴とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】上記のような構成とすることにより、良好に階調表示を行わせることのできる表示装置を提供することが可能となる。

フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-ド (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E
			6 4 1 K
3/36		3/36	